

**THE UNITED STATES PATENT AND TRADEMARK OFFICE**

CJ531 U.S. PTO  
09/734856  
12/12/00

In re the Application of : **Masatsugu TAKEUCHI et al.**

Filed : **Concurrently herewith**

For : **APPARATUS PRODUCING CONTINUOUS STREAM  
OF CORRELATION VALUES**

Serial No. : **Concurrently herewith**

December 12, 2000

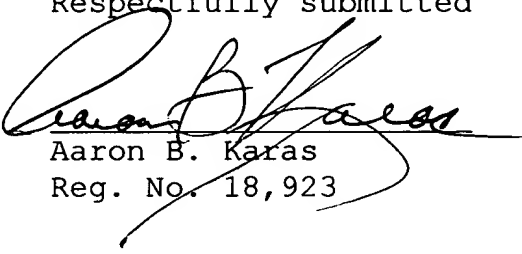
Assistant Commissioner of Patents  
Washington, D.C. 20231

**SUBMISSION OF PRIORITY DOCUMENT**

S I R:

Attached herewith is Japanese patent application No.  
11-353923 of December 14, 1999 whose priority has been claimed  
in the present application.

Respectfully submitted

  
Aaron B. Karas  
Reg. No. 18,923

HELFGOTT & KARAS, P.C.  
60th FLOOR  
EMPIRE STATE BUILDING  
NEW YORK, NY 10118  
DOCKET NO.: FUJI18.099  
LHH:priority

Filed Via Express Mail  
Rec. No.: EL522396508US  
On: December 12, 2000  
By: Lydia Gonzalez

Any fee due as a result of this paper,  
not covered by an enclosed check may be  
charged on Deposit Acct. No. 08-1634.

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT

CJ531 U.S. PTO  
09/734856  
12/12/00

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 9 年 1 2 月 1 4 日

出 願 番 号

Application Number:

平成 1 1 年 特 許 願 第 3 5 3 9 2 3 号

出 願 人

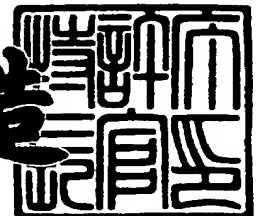
Applicant (s):

富士通株式会社

2 0 0 0 年 1 0 月 1 3 日

特 許 庁 長 官  
Commissioner,  
Patent Office

及 川 耕 造



出 証 番 号 出 証 特 2 0 0 0 - 3 0 8 4 9 7 3

【書類名】 特許願

【整理番号】 9902862

【提出日】 平成11年12月14日

【あて先】 特許庁長官殿

【国際特許分類】 H04B 7/216

【発明の名称】 パスサーチ回路

【請求項の数】 4

【発明者】

【住所又は居所】 宮城県仙台市青葉区一番町1丁目2番25号 富士通東北デジタル・テクノロジー株式会社内

【氏名】 竹内 正次

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 箕輪 守彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

【氏名】 川口 紀幸

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100105337

【弁理士】

【氏名又は名称】 眞鍋 潔

【代理人】

【識別番号】 100072833

【弁理士】

【氏名又は名称】 柏谷 昭司

【代理人】

【識別番号】 100075890

【弁理士】

【氏名又は名称】 渡邊 弘一

【代理人】

【識別番号】 100110238

【弁理士】

【氏名又は名称】 伊藤 壽郎

【手数料の表示】

【予納台帳番号】 075097

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9906989

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 パスサーチ回路

【特許請求の範囲】

【請求項 1】 受信信号系列と逆拡散符号系列との相関値を求めるマッチトフィルタと、該マッチトフィルタからの相関値を基に遅延プロファイルを形成して保持する遅延プロファイル保持手段と、該遅延プロファイル保持手段からの遅延プロファイルを基にパスタイミングを検出するパスタイミング検出回路とを含むパスサーチ回路に於いて、

前記マッチトフィルタは、受信信号系列をそれぞれ入力する複数の受信信号レジスタと、逆拡散符号系列を入力する符号レジスタと、前記受信信号系列と前記逆拡散符号系列との乗算を行う乗算回路と、該乗算回路の乗算出力を加算して相関値として出力する加算回路と、前記複数の受信信号レジスタを順次選択して前記乗算回路に接続するセレクタとを備えた

ことを特徴とするパスサーチ回路。

【請求項 2】 前記マッチトフィルタは、受信信号系列をそれぞれ入力する複数の受信信号レジスタと、複数の逆拡散符号系列をそれぞれ入力する複数の符号レジスタと、前記受信信号系列と前記逆拡散符号系列との乗算を行う乗算回路と、該乗算回路の乗算出力を加算して相関値として出力する加算回路と、前記複数の受信信号レジスタを順次選択して前記乗算回路に接続する第 1 のセレクタと、前記複数の符号レジスタを順次選択して前記乗算回路に接続する第 2 のセレクタとを備えたことを特徴とする請求項 1 記載のパスサーチ回路。

【請求項 3】 拡散比  $m$  且つオーバーサンプル比  $k$  の受信信号系列を保持する受信信号保持手段と、該受信信号保持手段に対する前記受信信号系列の書込み及び読出しを制御する書込制御回路及び読出制御回路と、前記受信信号保持手段から読出して逆拡散符号系列と共に入力するマッチトフィルタと、該マッチトフィルタからの相関値を電力変換し、順次加算処理して入力する遅延プロファイル保持手段と、該遅延プロファイル保持手段に対する書込み及び読出しを制御する書込制御回路及び読出制御回路とを有し、

前記マッチトフィルタは、拡散比  $m$  の前記受信信号系列に対して  $m$  段の第 1、

第2の受信信号レジスタと、該第1、第2の受信信号レジスタを選択する第1のセクタと、異なる逆拡散符号系列を入力する第1、第2の符号レジスタと、該第1、第2の符号レジスタを選択する第2のセクタとを含み、

前記受信信号保持手段の前記書込制御回路及び前記読出制御回路は、前記受信信号保持手段に入力されるオーバーサンプル比 $k$ の前記入力信号系列を $k$ 系列に変換して前記マッチトフィルタに入力する構成を有し、

前記遅延プロファイル保持手段の前記書込制御回路及び前記読出制御回路は、前記 $k$ 系列対応の遅延プロファイルを時系列順に変換してパスタイミング検出回路に入力する構成を有する

ことを特徴とする請求項1記載のパスサーチ回路。

【請求項4】 パスサーチ対象の受信信号系列対応の受信信号保持手段と、該受信信号保持手段を順次選択するセクタと、該セクタにより選択された受信信号系列を入力して逆拡散符号系列との相関を、前記パスサーチ対象の受信信号系列数とオーバーサンプル比 $k$ との積に相当する速度で求めるマッチトフィルタと、該マッチトフィルタからの相関値を電力変換し、順次加算処理して入力する前記パスサーチ対象の遅延プロファイル保持手段と、該遅延プロファイル保持手段を順次選択するセクタと、該セクタにより選択された遅延プロファイルを入力するパスタイミング検出回路とを備えたことを特徴とする請求項1乃至3の何れか1項記載のパスサーチ回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、CDMA (Code Division Multiple Access ; 符号分割多元接続) 方式の通信システムに於ける受信装置に於いて、受信信号の遅延プロファイルのピーク (パスタイミング) を検出して同期捕捉を行い、且つ同期保持を行うパスサーチ回路に関する。

【0002】

【従来の技術】

図15はパスサーチ回路の説明図であり、符号拡散変調信号をアンテナにより

受信し、バンドパスフィルタ (BPF) 101 を介して直交復調部 102 に入力して直交復調し、同相成分と直交成分とをローパスフィルタ (LPF) 103, 104 を介して AD 変換器 (A/D) 105, 106 に入力し、例えば、X ビット構成のデジタル信号に変換し、その X ビットのうち上位 XX ビットをパスサーチ回路 107 に入力する。なお、X ビット構成のデジタル信号をパスサーチ回路 107 に入力することも可能であるが、X ビットのうち上位 XX ビットを用いることにより、パスサーチの精度に殆ど影響を与えることなく、回路規模の縮小を図るものである。

## 【0003】

又パスサーチ回路 107 は、メモリ等による受信信号保持手段 111, 112 と、書込制御回路 113 と、読出制御回路 114 と、符号生成回路 115 と、マッチトフィルタ (MF) 116, 117 と、同相加算回路 118, 119 と、電力変換回路 120 と、電力加算回路 121 と、書込制御回路 122 と、読出制御回路 123 と、メモリ等による遅延プロファイル保持手段 124 と、パスタイミング検出回路 125 とを含む構成を有するものである。

## 【0004】

そして、受信信号保持手段 111, 112 に保持された同相成分の受信信号系列と、直交成分の受信信号系列とをそれぞれマッチトフィルタ 116, 117 に入力し、符号生成回路 115 からの逆拡散符号系列との相関を求め、同相加算回路 118, 119 に於いて位相差の小さい相関値を加算し、電力変換回路 120 に於いて自乗処理等により電力に変換し、電力加算回路 121 を介して遅延プロファイル保持手段 124 に保持し、所定周期にわたって加算を繰り返すことにより時系列上の平均値を求め、パスタイミング検出回路 125 に於いて遅延プロファイルのピーク点を検出して、パスタイミング信号を出力する。

## 【0005】

図 16 は従来例のマッチトフィルタの要部説明図であり、図 15 のマッチトフィルタ (MF) 116, 117 の構成の要部を示し、131 は受信信号レジスタ、132 は符号レジスタ、133 は乗算器、134 は加算回路 ( $\Sigma$ ) である。この構成は、拡散比  $m=256$ 、チップレートに対するオーバーサンプル比  $k=4$

とした場合に相当する。

【0006】

従って、受信信号レジスタ131は、前述のように、例えば、 $XX$ ビット構成の受信信号系列を入力する場合、4ビット並列シフトで、且つ $m \times k = 1024$ 段構成のシフトレジスタとすることになる。又符号レジスタ132は、 $m = 256$ 段のシフトレジスタであり、又256個の乗算器133により乗算回路を構成し、受信信号レジスタ131の4段目毎の受信信号系列 $r(t)$ と、符号レジスタ132の各段毎の逆拡散符号系列 $c(t)$ との乗算を行い、256個の乗算器133のそれぞれの乗算出力を加算回路134により加算して、そのタイミングに於ける相関値とし、受信信号レジスタ131の受信信号系列 $r(t)$ を高速でシフトして、逆拡散符号系列と乗算し、その乗算出力を加算回路134により加算して出力することにより、相関値系列 $y(t)$ を得ることができる。この相関値系列 $y(t)$ の時間平均に相当する遅延プロファイルのピーク点をパスタイミングとすることになる。

【0007】

図17は同一符号で拡散された複数受信信号の相関値検出の説明図であり、複数のアンテナを設けたスペースダイバーシティ方式や、セクタ対応にアンテナを設けたシステム等に於いて、アンテナ対応にパスサーチ回路等を含む受信部を設けることが最も一般的である。しかし、回路規模がアンテナ対応に増大する問題がある。そこで、共通化を図る為に、時分割的に回路を利用することが考えられる。例えば、位相及び振幅が異なる第1のアンテナのANT. 1受信信号と、第2のアンテナのANT. 2受信信号とを、マッチトフィルタの同一の受信信号レジスタに時分割的に入力して相関値を求めることが考えられる。

【0008】

例えば、図17の(a)は、ANT. 1受信信号の1シンボル目S11が受信信号レジスタに入力された状態を示し、順次シフトされて、(b)の2シンボル目S12が受信信号レジスタに入力された状態となる。この際、符号レジスタに設定されたS11の逆拡散符号と乗算され、乗算出力は加算回路Σにより加算されて1シンボル長にわたる相関値系列が出力される。



## 【0009】

又図17の(c)は、ANT. 2受信信号を受信信号レジスタに入力する場合を示し、その1シンボル目S21を初期値として受信信号レジスタに入力して、それ以前のANT. 1受信信号が相関値演算に影響しないようにする必要がある。そして、図17の(d)は、ANT. 2受信信号の1シンボル目S21が受信信号レジスタに入力された状態を示す。この状態から受信信号レジスタのANT. 2受信信号と符号レジスタの逆拡散符号との乗算が開始され、乗算出力は加算回路Σにより加算されて相関値として出力される。

## 【0010】

図18は異符号系列による2シンボル長相関値検出の説明図であり、同一系列の受信信号系列のS1～S3シンボルと逆拡散符号C1とを乗算し、S2～S4シンボルと逆拡散符号C2とを乗算する場合に、受信信号レジスタ及び符号レジスタを時分割に使用して相関値を求める時の動作を示し、(a)は受信信号の1シンボル目S1が受信信号レジスタに入力された状態を示し、順次シフトされて、(b)の3シンボル目S3が入力された状態となる。この際、符号レジスタに設定されたS1の逆拡散符号C1と乗算され、乗算出力は加算回路Σにより加算されて2シンボル長にわたるS1の相関値が出力される。

## 【0011】

又図18の(c)に示すように、S1の相関値検出処理で受信信号レジスタに残された信号が相関値演算に影響しないように、受信信号の2シンボル目S2を初期値として受信信号レジスタに入力し、それに対応する逆拡散符号C2を符号レジスタに入力することになる。そして、図18の(d)は、受信信号レジスタに受信信号の2シンボル目S2が、符号レジスタにC2が入力された状態を示す。この状態から、受信信号レジスタの受信信号と符号レジスタの逆拡散符号との乗算が開始され、乗算出力は加算回路Σにより加算されて相関値として出力される。

## 【0012】

## 【発明が解決しようとする課題】

パスサーチ回路は、前述のように、マッチトフィルタを有するものであり、拡

散比 $m$ とオーバーサンプル比 $k$ とに対応した段数の受信信号レジスタを必要とするものであり、比較的回路規模が大きくなるものである。従って、複数の受信信号系列対応にマッチトフィルタを設けると、回路規模がアンテナ数に対応して増加する問題がある。

#### 【0013】

又マッチトフィルタの受信信号レジスタを複数のアンテナの受信信号に対して時分割的に使用して、回路規模の縮小化を図ると、図17について説明したように、受信信号レジスタの内容を全面的に入れ換える必要があり、その為の初期値設定等を行うことから、連続的に相関値を出力することができない問題がある。なお、複数の受信信号系列をそれぞれ一時的に保持し、受信信号レジスタには、受信信号系列対応に並列に設定する構成とすれば、相関値を連続的に出力することが可能となる。しかし、受信信号の保持手段や受信信号レジスタへの並列設定手段の構成が複雑化する問題がある。又図18に示すように、異なる逆拡散符号系列について時分割的に使用する場合も、同様に、一旦初期値設定を行う必要があるから、相関値を連続的に出力することができない問題がある。

#### 【0014】

本発明は、異なる受信信号系列と異なる符号系列に対しても、複雑化することなく、連続的に相関値の出力を可能とすることを目的とする。

#### 【0015】

##### 【課題を解決するための手段】

本発明のパスサーチ回路は、(1) 受信信号系列と逆拡散符号系列との相関値を求めるマッチトフィルタと、このマッチトフィルタからの相関値を基に遅延プロフィールを形成して保持する遅延プロフィール保持手段と、この遅延プロフィール保持手段からの遅延プロフィールを基にパスタイミングを検出するパスタイミング検出回路とを含むパスサーチ回路であって、マッチトフィルタは、受信信号系列 $r_1(t)$ 、 $r_2(t)$ をそれぞれ入力する複数の受信信号レジスタ1、2と、逆拡散符号系列 $c(t)$ を入力する符号レジスタ4と、受信信号系列と前記逆拡散符号系列との乗算を行う乗算回路5と、この乗算回路5の乗算出力を加算して相関値として出力する加算回路6と、複数の受信信号レジスタを順次選択

して乗算回路に接続するセクタ 3 とを備えている。

【0016】

又(2) パスサーチ回路のマッチトフィルタは、受信信号系列をそれぞれ入力する複数の受信信号レジスタと、複数の逆拡散符号系列をそれぞれ入力する複数の符号レジスタと、受信信号系列と逆拡散符号系列との乗算を行う乗算回路と、この乗算回路の乗算出力を加算して相関値として出力する加算回路と、複数の受信信号レジスタを順次選択して乗算回路に接続する第1のセクタと、複数の符号レジスタを順次選択して乗算回路に接続する第2のセクタとを備えた構成とすることができる。

【0017】

又(3) パスサーチ回路は、拡散比 $m$ 且つオーバーサンプル比 $k$ の受信信号系列を保持する受信信号保持手段と、この受信信号保持手段に対する受信信号系列の書込み及び読出しを制御する書込制御回路及び読出制御回路と、受信信号保持手段から読出して逆拡散符号系列と共に入力するマッチトフィルタと、このマッチトフィルタからの相関値を電力変換し、順次加算処理して入力する遅延プロフィール保持手段と、この遅延プロフィール保持手段に対する書込み及び読出しを制御する書込制御回路及び読出制御回路とを有し、又マッチトフィルタは、拡散比 $m$ の前記受信信号系列に対して $m$ 段の第1, 第2の受信信号レジスタと、この第1, 第2の受信信号レジスタを選択する第1のセクタと、異なる符号系列の逆拡散符号系列を入力する第1, 第2の符号レジスタと、該第1, 第2の符号レジスタを選択する第2のセクタとを含み、受信信号保持手段の書込制御回路及び読出制御回路は、受信信号保持手段に入力されるオーバーサンプル比 $k$ の入力信号系列を $k$ 系列に変換してマッチトフィルタに入力する構成を有し、又遅延プロフィール保持手段の書込制御回路及び読出制御回路は、 $k$ 系列対応の遅延プロフィールを時系列順に変換してパスタイミング検出回路に入力する構成を有するものである。

【0018】

又(4) パスサーチ回路は、パスサーチ対象の受信信号系列対応の受信信号保持手段と、この受信信号保持手段を順次選択するセクタと、このセクタによ

り選択された受信信号系列を入力して逆拡散符号系列との相関を、パスサーチ対象の受信信号系列数とオーバーサンプル比 $k$ との積に相当する速度で求めるマッチトフィルタと、このマッチトフィルタからの相関値を電力変換し、順次加算処理して入力するパスサーチ対象の遅延プロファイル保持手段と、この遅延プロファイル保持手段を順次選択するセレクタと、このセレクタにより選択された遅延プロファイルを入力するパスタイミング検出回路とを備えている。

【0019】

【発明の実施の形態】

図1は本発明の原理説明図であり、第1、第2の受信信号系列 $r_1(t)$ 、 $r_2(t)$ の2系列の受信信号の場合を示し、1、2は第1、第2の受信信号レジスタ、3はセレクタ、4は符号レジスタ、5は乗算回路、6は加算回路、7はパスタイミング出力部を示す。

【0020】

第1の受信信号系列 $r_1(t)$ を第1の受信信号レジスタ1に、第2の受信信号系列 $r_2(t)$ を第2の受信信号レジスタ2に、逆拡散符号系列 $c(t)$ を符号レジスタ4にそれぞれ入力し、又選択信号をセレクタ3とパスタイミング出力部7とに入力する。又パスタイミング出力部7は、加算回路6からの相関値系列を電力値に変換し、時間平均によって遅延プロファイルを求め、この遅延プロファイルのピーク点を検出し、そのタイミングをパスタイミングとして出力する構成を含むものである。

【0021】

例えば、セレクタ3により第1の受信信号レジスタ1を選択し、第1の受信信号系列 $r_1(t)$ の1シンボル分と、符号レジスタ4の逆拡散符号系列 $c(t)$ とを乗算回路5に於いて乗算し、乗算出力を加算回路6に於いて加算して相関値をパスタイミング出力部7に入力し、このパスタイミング出力部7から第1の受信信号系列 $r_1(t)$ 対応のパスタイミング信号を出力する。

【0022】

前述の第1の受信信号系列 $r_1(t)$ に対する演算処理中に入力される第2の受信信号系列 $r_2(t)$ を第2の受信信号レジスタ2に入力し、第1の受信信号

系列  $r_1(t)$  の 1 シンボル分についての演算が終了すると、選択信号によりセクタ 3 を制御し、第 2 の受信信号レジスタ 2 を選択して、第 2 の受信信号系列  $r_2(t)$  の 1 シンボル分を乗算回路 5 に入力し、逆拡散符号系列  $c(t)$  と乗算し、乗算出力を加算回路 6 に於いて加算して相関値を求め、パスタイミング出力部 7 に入力し、このパスタイミング出力部 7 から第 2 の受信信号系列  $r_2(t)$  対応のパスタイミング信号を出力する。

## 【0023】

即ち、第 1, 第 2 の受信信号レジスタ 1, 2 をセクタ 3 により 1 シンボル分の演算時間毎に切替えることにより、乗算回路 5 と符号レジスタ 4 と加算回路 6 とパスタイミング出力部 7 とを、第 1, 第 2 の受信信号系列  $r_1(t)$ ,  $r_2(t)$  に対して共用化し、回路規模を拡大することなく、連続的に相関値を求めることができる。

## 【0024】

図 2 は本発明の第 1 の実施の形態の説明図であり、1, 2 は第 1, 第 2 の受信信号系列  $r_1(t)$ ,  $r_2(t)$  をそれぞれ入力する第 1, 第 2 の受信信号レジスタ、3 はセクタ、4 は逆拡散符号系列  $c(t)$  を入力する符号レジスタ、5 は乗算回路、6 は加算回路 ( $\Sigma$ ) を示し、パスサーチ回路のマッチフィルタの要部を示す。

## 【0025】

又前述のように、拡散比  $m = 256$ 、チップレートに対するオーバーサンプル比  $k = 4$  とした場合に相当し、第 1, 第 2 の受信信号レジスタ 1, 2 は、 $m \times k = 1024$  段構成のシフトレジスタ、符号レジスタ 4 は、 $m = 256$  段のシフトレジスタにより構成した場合を示す。又セクタ 3 は、256 個のセクタ部 SEL を含み、選択信号により第 1, 第 2 の受信信号レジスタ 1, 2 の 4 段目毎、例えば、0 段目から 1023 段目の中の 3 段目, 7 段目, 11 段目,  $\dots$  1023 段目の出力信号を選択して乗算回路 5 に入力する場合を示す。

## 【0026】

又乗算回路 5 は、セクタ部 SEL からの受信信号と、符号レジスタ 4 の各段からの逆拡散符号とを乗算する  $\times$  印で示す 256 個の乗算器を含むものである。

又加算回路 6 は、2 5 6 個の各乗算器からの乗算出力信号を加算して相関値とする。この相関値は、受信信号レジスタのシフト動作毎に得られるから、相関値系列  $y(t)$  として後段の回路に送出する。

【0 0 2 7】

又第 1 の受信信号系列  $r_1(t)$  の 1 シンボル分が第 1 の受信信号レジスタ 1 にシフトされて、前述の 1 シンボル長にわたる相関値系列  $y(t)$  が出力される過程に於いて、第 2 の受信信号系列  $r_2(t)$  を第 2 の受信信号レジスタ 2 に順次シフトし、第 1 の受信信号系列  $r_1(t)$  の 1 シンボル長にわたる相関値系列  $y(t)$  の算出が終了した時点で、選択信号によりセレクタ 3 を制御し、第 2 の受信信号レジスタ 2 の各段の出力信号を乗算回路 5 に入力し、符号レジスタ 4 の逆拡散符号系列  $c(t)$  と乗算し、乗算出力を加算回路 6 により加算し、1 シンボル長にわたる相関値系列  $y(t)$  を出力する。

【0 0 2 8】

この第 2 の受信信号系列  $r_2(t)$  の 1 シンボル分に対する相関値系列  $y(t)$  の算出が終了した時点では、第 1 の受信信号レジスタ 1 に、第 1 の受信信号系列  $r_1(t)$  の次の 1 シンボル分がシフトされているから、選択信号によりセレクタ 3 を制御して、第 2 の受信信号レジスタ 2 から第 1 の受信信号レジスタ 1 に切替えて、前述の相関値算出を行うことになる。従って、2 系列の受信信号系列に対して時分割的な処理により相関値算出を行っても、受信信号レジスタには初期値入力等の操作が必要でなくなり、第 1 の受信信号系列  $r_1(t)$  に対する相関値系列と、第 2 の受信信号系列  $r_2(t)$  に対する相関値系列とを連続的に出力することができる。

【0 0 2 9】

図 3 は本発明の第 1 の実施の形態の動作説明図であり、(a) は、第 1 の受信信号レジスタ 1 に、第 1 の受信信号系列としての ANT. 1 受信信号の 1 シンボル目 S 1 1 が入力され、第 2 の受信信号レジスタ 2 に、第 2 の受信信号系列としての ANT. 2 受信信号の 1 シンボル目 S 2 1 が未だ入力されない状態を示し、符号レジスタ 4 の逆拡散符号と第 1 の受信信号レジスタ 1 の ANT. 1 受信信号の 1 シンボル目 S 1 1 とが乗算され、加算回路  $\Sigma$  により加算される。

## 【0030】

図3の(b)は、第2の受信信号レジスタ2にANT. 2受信信号の1シンボル目S21が入力され、第1の受信信号レジスタ1にANT. 1受信信号の2シンボル目S12が入力された状態を示す。この時点では、(a)に示す状態に於いて算出された1シンボル長にわたる相関値が出力されている。

## 【0031】

そこで、図3の(c)に示すように、セレクタによって、第1の受信信号レジスタ1から第2の受信信号レジスタ2に切替えて、第2の受信信号レジスタ2のANT. 2受信信号の1シンボル目S21と符号レジスタ4の逆拡散符号と乗算し、加算回路Σにより加算して相関値を求める。従って、第1、第2の受信信号レジスタ1、2をセレクタによって交互に切替えることにより、相関値を連続的に出力することができる。

## 【0032】

図4は本発明の第2の実施の形態の説明図であり、第1、第2の受信信号レジスタ1、2と、第1、第2の符号レジスタ4-1、4-2と、第1、第2のセレクタ3-1、3-2と、乗算回路5と、加算回路(Σ)6とを備えた構成を示し、第1、第2の受信信号レジスタ1、2と乗算回路5と加算回路6と第1のセレクタ3-1とは、図2に示す構成と同様であるが、第1、第2の符号レジスタ4-1、4-2を選択する第2のセレクタ3-2を設けている。

## 【0033】

そして、第1、第2の受信信号レジスタ1、2には、前述の実施の形態と同様に、2系統の第1、第2の受信信号系列 $r_1(t)$ 、 $r_2(t)$ を入力する。又第1、第2の符号レジスタ4-1、4-2に、それぞれ第1、第2の受信信号系列 $r_1(t)$ 、 $r_2(t)$ 対応の第1、第2の逆拡散符号系列 $c_1(t)$ 、 $c_2(t)$ を入力する。

## 【0034】

選択信号により第1、第2のセレクタ3-1、3-2を制御し、第1の受信信号レジスタ1と第1の符号レジスタ4-1とを選択して、乗算回路5に第1の受信信号系列 $r_1(t)$ と第1の逆拡散符号系列 $c_1(t)$ とを入力して乗算し、

乗算出力を加算回路 6 により加算して、相関値系列  $y(t)$  を出力する。次に選択信号により第 1, 第 2 のセレクタ 3-1, 3-2 を制御し、第 2 の受信信号レジスタ 2 と第 2 の符号レジスタ 4-2 とを選択して、乗算回路 5 に第 2 の受信信号系列  $r_2(t)$  と第 2 の逆拡散符号系列  $c_2(t)$  とを入力して乗算し、乗算出力を加算回路 6 により加算して、相関値系列  $y(t)$  を出力する。

## 【0035】

図 5 は本発明の第 2 の実施の形態の動作説明図であり、2 シンボル長の相関値を出力する場合を示し、 $S_{11}$ ,  $S_{12}$ ,  $\dots$  は第 1 の受信信号のシンボル、 $S_{21}$ ,  $S_{22}$ ,  $S_{23}$ ,  $\dots$  は第 2 の受信信号のシンボル、 $C_1$ ,  $C_2$  は第 1, 第 2 の逆拡散符号、1, 2 は第 1, 第 2 の受信信号レジスタ、4-1, 4-2 は第 1, 第 2 の符号レジスタ、 $\Sigma$  は加算回路を示す。

## 【0036】

図 5 の (a) は、第 1 の受信信号レジスタ 1 に入力された第 1 の受信信号の 1 シンボル目  $S_{11}$  と、第 1 の符号レジスタ 4-1 に入力された第 1 の逆拡散符号  $C_1$  とを乗算し、乗算出力を加算回路  $\Sigma$  に入力して相関値を出力する状態を示し、又点線矢印のように、第 2 の受信信号レジスタ 2 に第 2 の受信信号を入力し、第 2 の符号レジスタ 4-2 に第 2 の逆拡散符号  $C_2$  を入力することになるが、その前の状態を示す。

## 【0037】

同図の (b) は、第 1 の受信信号レジスタ 1 に第 1 の受信信号の 1 シンボル目  $S_{11}$  と 2 シンボル目  $S_{12}$  とが順次シフトされて、3 シンボル目  $S_{13}$  が入力され、又第 2 の受信信号レジスタ 2 に第 2 の受信信号の 2 シンボル目  $S_{22}$  が入力され、第 2 の符号レジスタ 4-2 に第 2 の逆拡散符号  $C_2$  が入力されて、第 1 の受信信号の 1 シンボル目  $S_{11}$  と 2 シンボル目  $S_{12}$  とによる 2 シンボル長の相関値が出力された状態を示す。

## 【0038】

この状態で、第 1, 第 2 の受信信号レジスタ 1, 2 を切替え、又第 1, 第 2 の符号レジスタ 4-1, 4-2 を切替え、図 5 の (c) に示す状態となり、第 2 の受信信号と第 2 の逆拡散符号  $C_2$  との乗算と、加算とによる相関値の算出が



行われる。この場合も、第 2 の受信信号の 2 シンボル目  $S_{22}$  と 3 シンボル目  $S_{23}$  についての 2 シンボル長の相関値を出力することができる。

#### 【0039】

図 6 は本発明の第 3 の実施の形態の説明図であり、11, 12 は第 1, 第 2 の受信信号レジスタ、13, 14 は第 1, 第 2 のセレクタ、15 は乗算回路、16 は加算回路 ( $\Sigma$ )、17, 18 は第 1, 第 2 の符号レジスタを示す。

#### 【0040】

この実施の形態に於いては、拡散比  $m = 256$ 、チップレートに対するオーバーサンプル比  $k = 4$  とした場合について示し、前述の実施の形態と同様に、第 1, 第 2 の符号レジスタ 17, 18 は  $m = 256$  段のシフトレジスタにより構成し、又第 1, 第 2 の受信信号レジスタ 11, 12 は、 $m = 256$  段のシフトレジスタにより構成する。

#### 【0041】

そして、第 1 の受信信号系列  $r_1(t)$  と第 2 の受信信号系列  $r_2(t)$  とを、図示を省略した前段に於いて順序を変更する。例えば、図 2 に於ける第 1, 第 2 の受信信号レジスタ 1, 2 について、0 ~ 1023 段の中の例えば 0 段目, 4 段目, 8 段目,  $\dots$ , 1020 段目に相当する信号を入力して、逆拡散符号と乗算し、次に、1 段目, 5 段目, 9 段目,  $\dots$ , 1021 段目に相当する信号を入力し、次に、2 段目, 6 段目, 10 段目,  $\dots$ , 1022 段目に相当する信号を入力し、次に、3 段目, 7 段目, 11 段目,  $\dots$ , 1023 段目に相当する信号を入力する。即ち、 $k = 4$  系列に変換すると、各系列に対しては 256 段の受信信号レジスタを用いて、相関値算出が可能となる。その場合、4 系統に変換した受信信号を、時分割多重化を行って、2 系列の第 1, 第 2 の受信信号系列とし、第 1, 第 2 の受信信号レジスタ 11, 12 に入力する。従って、256 段の第 1, 第 2 の受信信号レジスタ 11, 12 により、それぞれ 1024 段の構成を用いた場合と同様に、連続的に相関値の算出が可能となる。

#### 【0042】

又第 1, 第 2 のセレクタ 13, 14 と、第 1, 第 2 の逆拡散符号系列  $c_1(t)$ ,  $c_2(t)$  とを入力する第 1, 第 2 の符号レジスタ 17, 18 と、乗算回路

15と、加算回路16とについては、前述の各実施の形態と同様に動作し、第1、第2のセレクタ13、14を選択信号により制御して、第1、第2の受信信号系列 $r_1(t)$ 、 $r_2(t)$ 対応の相関値系列 $y(t)$ を出力する。この場合、相関値系列 $y(t)$ は、時系列に従ったものではないので、後段の回路で順序の変更を行うものである。しかし、第1、第2の受信レジスタ11、12を大幅に小型化することが可能であり、パスサーチ回路の小型化並びに経済化を図ることができる。

## 【0043】

図7は本発明の第3の実施の形態のパスサーチ回路の説明図であり、31は同相成分の受信信号保持手段、32は直交成分の受信信号保持手段、33は時系列順書込制御回路、34はチップ系列順読出制御回路、35は符号生成回路、36、37は同相成分と直交成分とのマッチトフィルタ(MF)、38、39は同相加算回路、40は電力変換回路、41は電力加算回路、42はチップ系列順書込制御回路、43は時系列順読出制御回路、44は遅延プロファイル保持手段、45はパスタイミング検出回路を示す。

## 【0044】

この実施の形態のパスサーチ回路は、直交復調した同相成分と直交成分を入力し、又マッチトフィルタ36、37として、図6に示す構成、即ち、拡散比 $m=256$ 段の受信信号レジスタを設けた場合を示す。そして、デジタル信号に変換された同相成分と直交成分との復調信号を受信信号保持手段31、32に入力し、時系列順書込制御回路33の制御により、受信時系列に従って受信信号保持手段31、32に順次書込み、チップ系列順読出制御回路34の制御により、時系列配列の中から、3個おきに読出すことを繰り返して、 $k=4$ 系列の受信信号に変換する。

## 【0045】

従って、マッチトフィルタ36、37は、256段の受信信号レジスタ及び逆拡散符号を入力する256段の符号レジスタを有する構成で、相関値を出力することができる。この場合の相関値は、時系列順ではないから電力変換回路40と電力加算回路41と介して遅延プロファイル保持手段44に書込む時に、チップ

系列順書込制御回路 4 2 の制御によりチップ系列順に書込み、時系列順読出制御回路 4 3 によって時系列順に読出し、遅延プロファイル保持手段 4 4 には、時系列上の遅延プロファイルが保持される。そして、パスタイミング検出回路 4 5 により遅延プロファイルのピーク点を検出し、そのタイミングをパスタイミングとして出力する。

## 【0046】

図 8 は時系列の変換の説明図であり、拡散比  $m = 256$ 、チップレートに対するオーバーサンプル比  $k = 4$  とすると、1 シンボルは 1024 サンプルとなる。即ち、図 8 の (a) に示すように、1 チップ目を 0 a, 0 b, 0 c, 0 d とし、2 チップ目を 1 a, 1 b, 1 c, 1 d とし、256 チップ目を 255 a, 255 b, 255 c, 255 d とすると、図 8 の (b) に示すように、a 系列～d 系列の  $k = 4$  系列に並べ替えることができる。その場合の a～d 系列の単独の系列については、それぞれオーバーサンプル比  $k = 1$  となる。

## 【0047】

前述の変換は、図 7 に於ける受信信号保持手段 3 1, 3 2 に、時系列順書込制御回路 3 3 により、図 8 の (a) に示すような受信信号を時系列に従って書込み、チップ系列順読出制御回路 3 4 により、チップ系列順、例えば、図 8 の (b) に示すように、0 a, 1 a, 2 a, … 255 a の a 系列について順次読出し、次に、0 b, 1 b, 2 b, … 255 b の b 系列について順次読出し、以下同様にして、c 系列について読出し、次に d 系列について読出す。それにより、各系列はサンプル数が 256 となり、マッチトフィルタ 3 6, 3 7 は、図 6 について説明したように、256 段構成の受信信号レジスタを用いて、相関値を求めることができる。

## 【0048】

図 9 は相関値出力の動作説明図であり、図 6 に於ける 256 段の 1 個の符号レジスタと、256 段の 2 個の第 1, 第 2 の受信信号レジスタ 1 1, 1 2 とを用い、図 9 の (a) に示すように、第 1 の受信信号レジスタ 1 1 には、a 系列と c 系列とを入力し、第 2 の受信信号レジスタ 1 2 には、b 系列と d 系列とを入力する場合を示す。

## 【0049】

例えば、第1の受信信号レジスタ11にa系列1を入力して、符号レジスタの逆拡散符号と乗算し、加算回路Σにより加算して出力し、その演算過程に、第2の受信信号レジスタ12にb系列1が入力されるから、次に、このb系列1と逆拡散符号とを乗算し、加算回路Σにより加算して出力することができる。従って、図9の(b)に示すように、相関値出力系列は、a系列による相関値出力0A～255Aと、b系列による相関値出力0B～255Bと、c系列による相関値出力0C～255Cと、d系列による相関値出力0D～255Dとからなる1024の相関値系列が得られる。

## 【0050】

しかし、図9の(b)に示す相関値系列は、時系列に従ったものではないから、時系列に変換する必要がある。図10はこの変換の説明図であり、図7の遅延プロファイル保持手段44に、チップ系列順書込制御回路42の制御に従って、a系列～d系列のそれぞれの電力加算回路41からの電力加算結果が入力されて書込まれる。

## 【0051】

そして、時系列順読出制御回路43により、時系列に従った読出しが行われ、遅延プロファイルの1チップ目は、a系列電力加算結果の0A～255Aの中の0A、次にb系列電力加算結果の0B～255Bの中の0B、次にc系列電力加算結果の0C～255Cの中の0C、次にd系列電力加算結果の0D～255Dの中の0Dを順次読出し、次に2チップ目として、1A, 1B, 1C, 1Dを順次読出すことにより、1チップ目から256チップ目までの電力加算結果を時系列上に並べた遅延プロファイルが得られる。従って、図7に於けるパスタイミング検出回路45は、従来例と同様に、遅延プロファイル保持手段44から読出された時系列上の遅延プロファイルの中のピーク点を検出し、そのタイミングをパスタイミングとして出力することができる。

## 【0052】

図11は本発明の第4の実施の形態の説明図であり、図7と同一符号は同一部分を示し、53はチップ系列順書込制御回路、54はチップ系列順読出制御回路

、55はチップ系列順書込制御回路、56は時系列読出制御回路を示す。この場合、チップ系列順書込制御回路53の制御により、同相成分と直交成分とのデジタル信号に変換された復調信号は、図8の(b)に示すようなアドレス順、即ち、チップ系列順となるように、受信信号保持手段31、32に書込み、チップ系列順読出制御回路54により、k系列とした各系列毎に順番に読出して、マッチトフィルタ36、37に入力する。

## 【0053】

従って、前述のように、電力加算回路41から出力される電力加算結果は、チップ系列順であり、遅延プロファイル保持手段44に、チップ系列順書込制御回路55の制御によって、そのチップ系列順に書込み、そして、時系列順読出制御回路56の制御により、図10に示すように、時系列順となるように読出して、時系列上の遅延プロファイルとしてパスタイミング検出回路4に入力する。

## 【0054】

図12は本発明の第5の実施の形態の説明図であり、図7及び図11と同一符号は同一部分を示し、63は時系列順書込制御回路、64はチップ系列順読出制御回路、65は時系列順書込制御回路、66は時系列読出制御回路を示す。この場合、時系列順書込制御回路63の制御により、同相成分と直交成分とのデジタル信号に変換された復調信号は、図8の(a)に示すような時系列に従って受信信号保持手段31、32に書込み、チップ系列順読出制御回路54により、k系列とした各系列毎に順番に読出して、マッチトフィルタ36、37に入力する。この場合の受信信号保持手段31、32に対する制御は、図7に示す場合と同様である。

## 【0055】

又電力加算回路41から出力される電力加算結果は、チップ系列順であり、遅延プロファイル保持手段44に、時系列順書込制御回路65により時系列順のアドレスに書込み、時系列順読出制御回路66により、図10に示すように、時系列順に読出して、時系列上の遅延プロファイルとしてパスタイミング検出回路45に入力する。

## 【0056】

図 1 3 は本発明の第 6 の実施の形態の説明図であり、図 7、図 1 1 及び図 1 2 と同一符号は同一部分を示し、7 3 はチップ系列順書込制御回路、7 4 はチップ系列順読出制御回路、7 5 は時系列順書込制御回路、7 6 は時系列順読出制御回路を示す。この実施の形態に於いて、受信信号保持手段 3 1、3 2 に対する書込制御及び読出制御は、図 1 1 に示す場合と同一であり、又遅延プロファイル保持手段 4 4 に対する書込制御及び読出制御は、図 1 2 に示す場合と同一である。従って、時系列の受信系列をチップ系列順に変換し、又チップ系列の電力加算結果を時系列に変換する処理は、前述の実施の形態と同様であるから、重複した説明は省略する。

## 【0057】

図 1 4 は本発明の第 7 の実施の形態の説明図であり、図 7、図 1 1、図 1 2 及び図 1 3 と同一符号は同一部分を示し、8 0 は多重処理部、8 1 ~ 8 3 はセレクタ (SEL)、8 4 - 1 ~ 8 4 - N は遅延プロファイル保持手段、8 5 は書込制御回路、8 6 は読出制御回路、9 0 - 1 ~ 9 0 - N は信号保持部、9 1 は書込制御回路、9 2 は読出制御回路を示す。

## 【0058】

この実施の形態は、複数のユーザ 1 ~ N 対応の受信復調手段に対して、時分割処理するパスサーチ回路を示すもので、ユーザ 1 ~ N 対応の受信復調手段からの同相成分と直交成分との直交復調デジタル信号が、それぞれの信号保持部 9 0 - 1 ~ 9 0 - N に入力され、受信信号保持手段 3 1、3 2 に、書込制御回路 9 1 の制御によって書込まれ、読出制御回路 9 2 の制御に従って、サンプリング速度の N 倍の速度で読出されてセレクタ 8 1 に入力される。

## 【0059】

セレクタ 8 1 は、信号保持部 9 0 - 1 ~ 9 0 - N を順次選択し、同相成分と直交成分との受信信号系列をマッチトフィルタ 3 6、3 7 に入力し、符号生成回路 3 5 からの逆拡散符号系列と乗算して相関値を求める。この場合、符号生成回路 3 5 は、ユーザ 1 ~ N 対応の逆拡散符号系列を出力し、マッチトフィルタ 3 6、3 7 に入力することになり、その場合、マッチトフィルタ 3 6、3 7 の符号レジスタを、図 4 又は図 6 に示すように、複数の符号レジスタを設けて、セレクタに

より切替える構成とすることができる。

#### 【0060】

又同相加算回路 38, 39 と、電力変換回路 40 と、電力加算回路 41 とは、それぞれ前述の各実施の形態と同様に動作し、書込制御回路 85 の制御により、ユーザ 1 ~ N 対応の遅延プロファイル保持手段 84 - 1 ~ 84 - N に書込み、読出制御回路 86 の制御に従って読出し、セクタ 83 により選択した遅延プロファイルがパスタイミング検出回路 45 に入力される。従って、パスタイミング検出回路 45 からユーザ 1 ~ N 対応のパスタイミングを順次出力することができるから、図示を省略したセクタによって、ユーザ 1 ~ N 対応の受信処理を行うことができる。

#### 【0061】

又書込制御回路 91, 85 は、前述の実施の形態の時系列順書込制御回路又はチップ系順列書込制御回路とすることができ、又読出制御回路 92, 86 も、前述の実施の形態の時系列順読出制御回路又はチップ系順列読出制御回路とすることができる。又マッチトフィルタ 36, 37 は、例えば、図 6 に示す実施の形態の構成を適用することができる。

#### 【0062】

又異なるユーザ 1 ~ N 対応に信号保持手段 90 - 1 ~ 90 - N 及び遅延プロファイル保持手段 84 - 1 ~ 84 - N を設けた場合を示すが、同一のユーザの異なる受信信号系列（例えば、異なるブランチの受信信号系列或いは異なるセクタの受信信号系列）対応の信号保持手段及び遅延プロファイル保持手段を設けて、それぞれの受信信号系列対応のパスタイミング信号を求めることも可能である。それにより、効果的な RAKE 合成処理を行わせることが可能となる。

#### 【0063】

##### 【発明の効果】

以上説明したように、本発明のパスサーチ回路は、受信信号系列  $r_1(t)$ ,  $r_2(t)$  を入力する複数の受信信号レジスタ 1, 2 と、逆拡散符号系列  $c(t)$  を入力する符号レジスタ 4 と、乗算回路 5 と、加算回路 6 と、受信信号レジスタ 1, 2 を選択して乗算回路 5 に接続するセクタ 3 とを有するマッチトフィル

タを備えており、例えば、2系統の受信信号系列に対して、それぞれの受信信号系列対応の受信信号レジスタ1, 2を設けて、セレクト3により交互に選択する構成とすることにより、共用化部分を多くし、且つ初期値設定等の操作を行うことなく、連続的に相関値を出力することができる利点がある。

【0064】

又受信入力信号系列をオーバーサンプル比 $k$ に対応した $k$ 系列に変換して、マッチトフィルタに入力することにより、マッチトフィルタの受信信号レジスタを拡散比 $m$ に対応した段数として、回路規模の縮小化を図ることができる利点がある。更に、パスサーチ対象の複数の受信信号系列に対して、マッチトフィルタ部分を時分割的に使用することにより、回路規模を拡大することなく、パスサーチ対象対応のパスタイミング信号を得ることも可能である。

【図面の簡単な説明】

【図1】

本発明の原理説明図である。

【図2】

本発明の第1の実施の形態の説明図である。

【図3】

本発明の第1の実施の形態の動作説明図である。

【図4】

本発明の第2の実施の形態の説明図である。

【図5】

本発明の第2の実施の形態の動作説明図である。

【図6】

本発明の第3の実施の形態の説明図である。

【図7】

本発明の第3の実施の形態のパスサーチ回路の説明図である。

【図8】

時系列の変換の説明図である。

【図9】



相関値出力の動作説明図である。

【図 1 0】

遅延プロファイルの時系列への変換の説明図である。

【図 1 1】

本発明の第 4 の実施の形態の説明図である。

【図 1 2】

本発明の第 5 の実施の形態の説明図である。

【図 1 3】

本発明の第 6 の実施の形態の説明図である。

【図 1 4】

本発明の第 7 の実施の形態の説明図である。

【図 1 5】

パスサーチ回路の説明図である。

【図 1 6】

従来例のマッチトフィルタの要部説明図である。

【図 1 7】

同一符号で拡散された複数受信信号の相関値検出の説明図である。

【図 1 8】

異符号系列による 2 シンボル長相関値検出の説明図である。

【符号の説明】

1, 2 受信信号レジスタ

3 セレクタ

4 符号レジスタ

5 乗算回路

6 加算回路

7 パスタイミング出力部

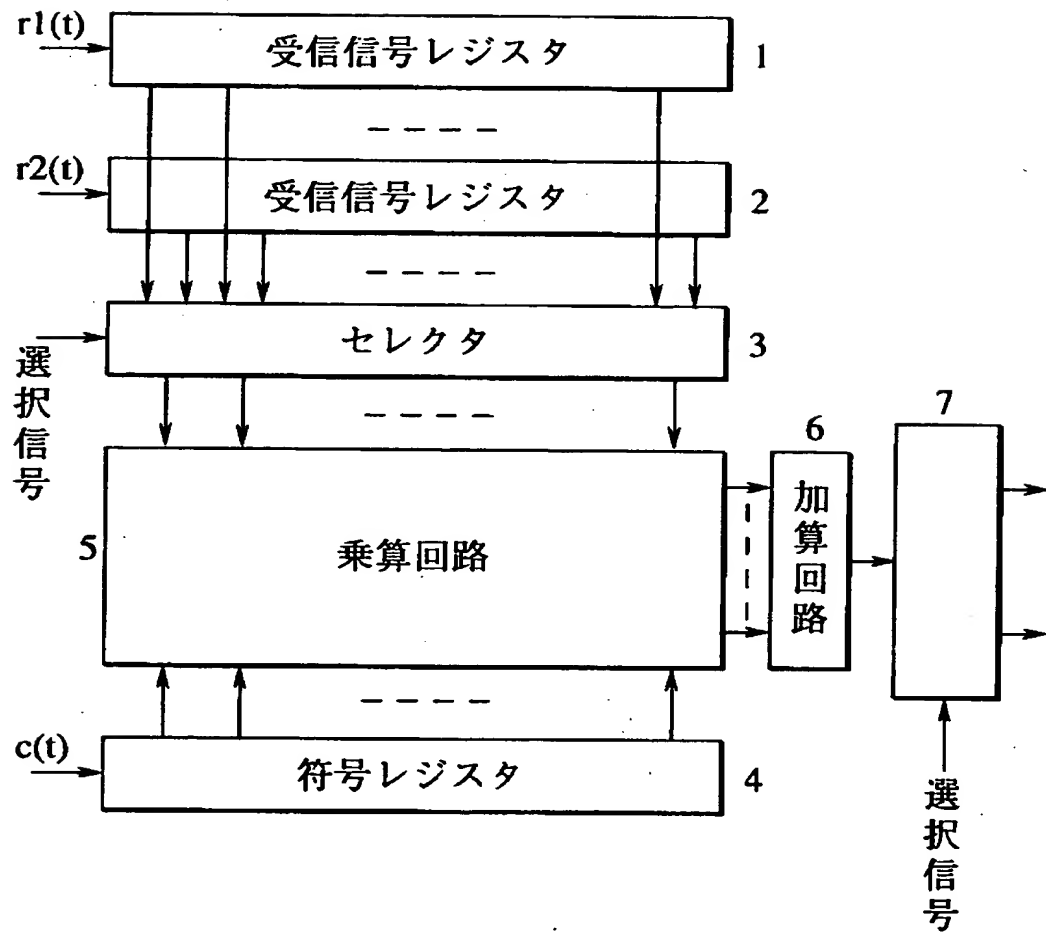
$r_1(t)$ ,  $r_2(t)$  受信信号系列

$c(t)$  逆拡散符号系列

【書類名】 図面

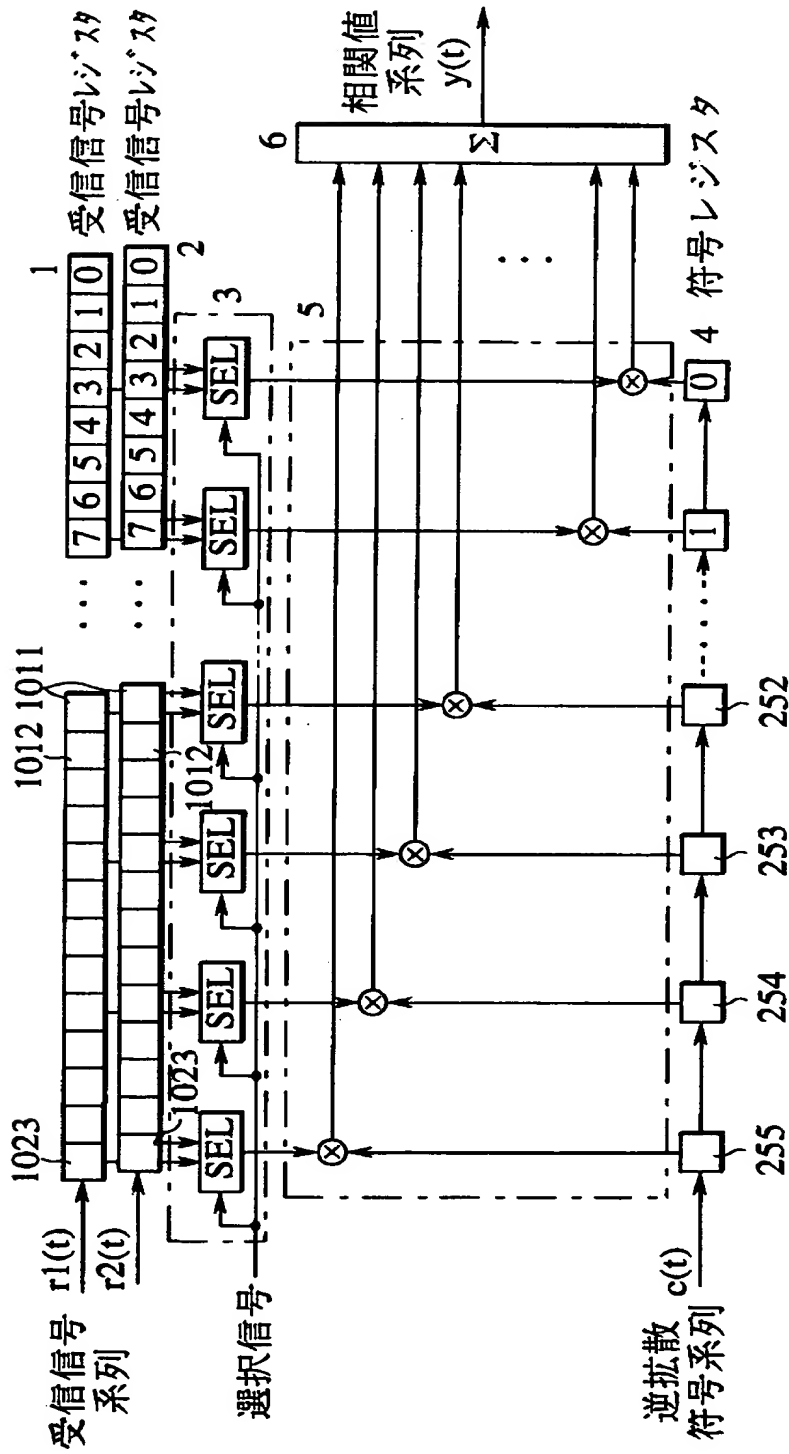
【図 1】

本発明の原理説明図



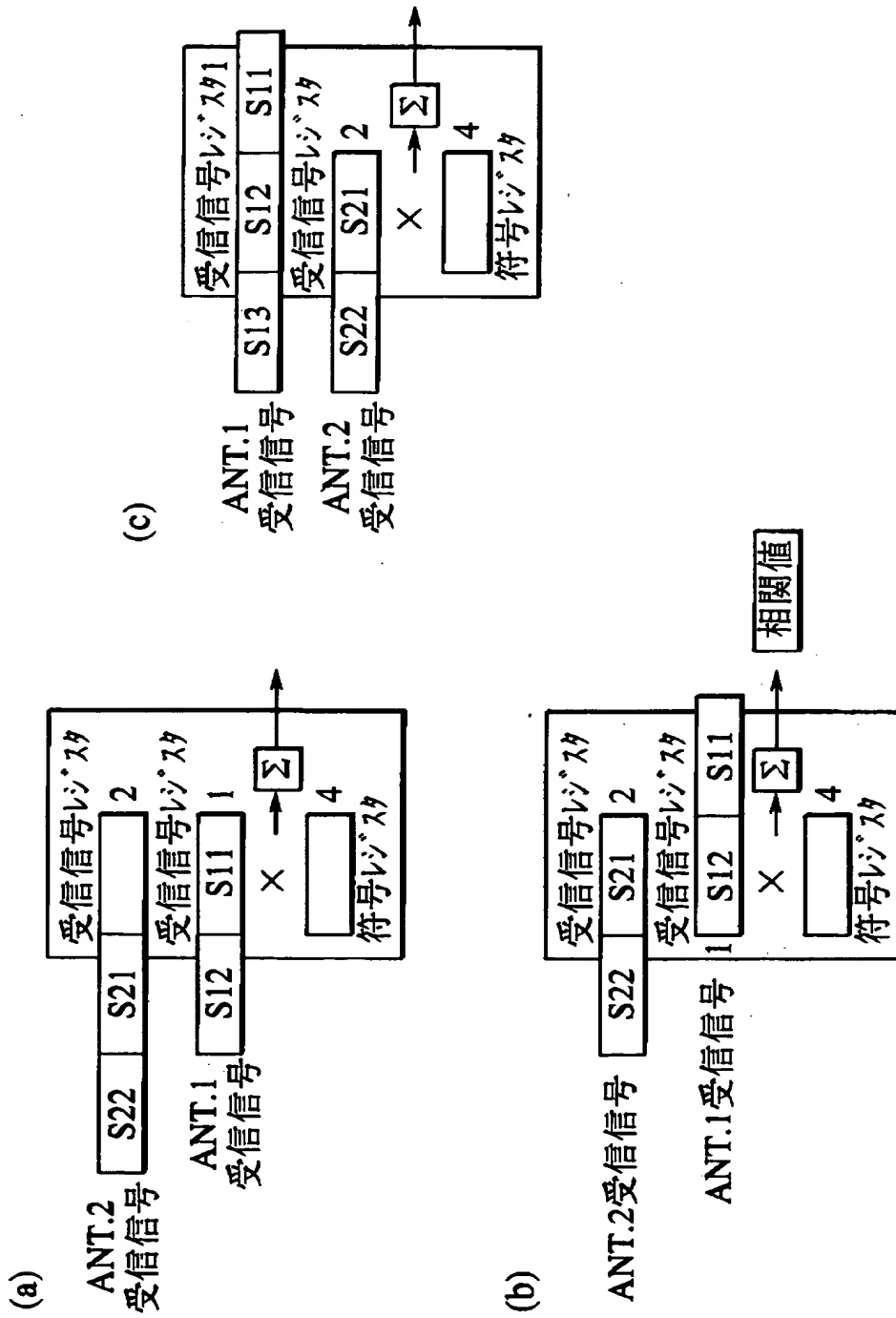
【図 2】

本発明の第1の実施の形態の説明図



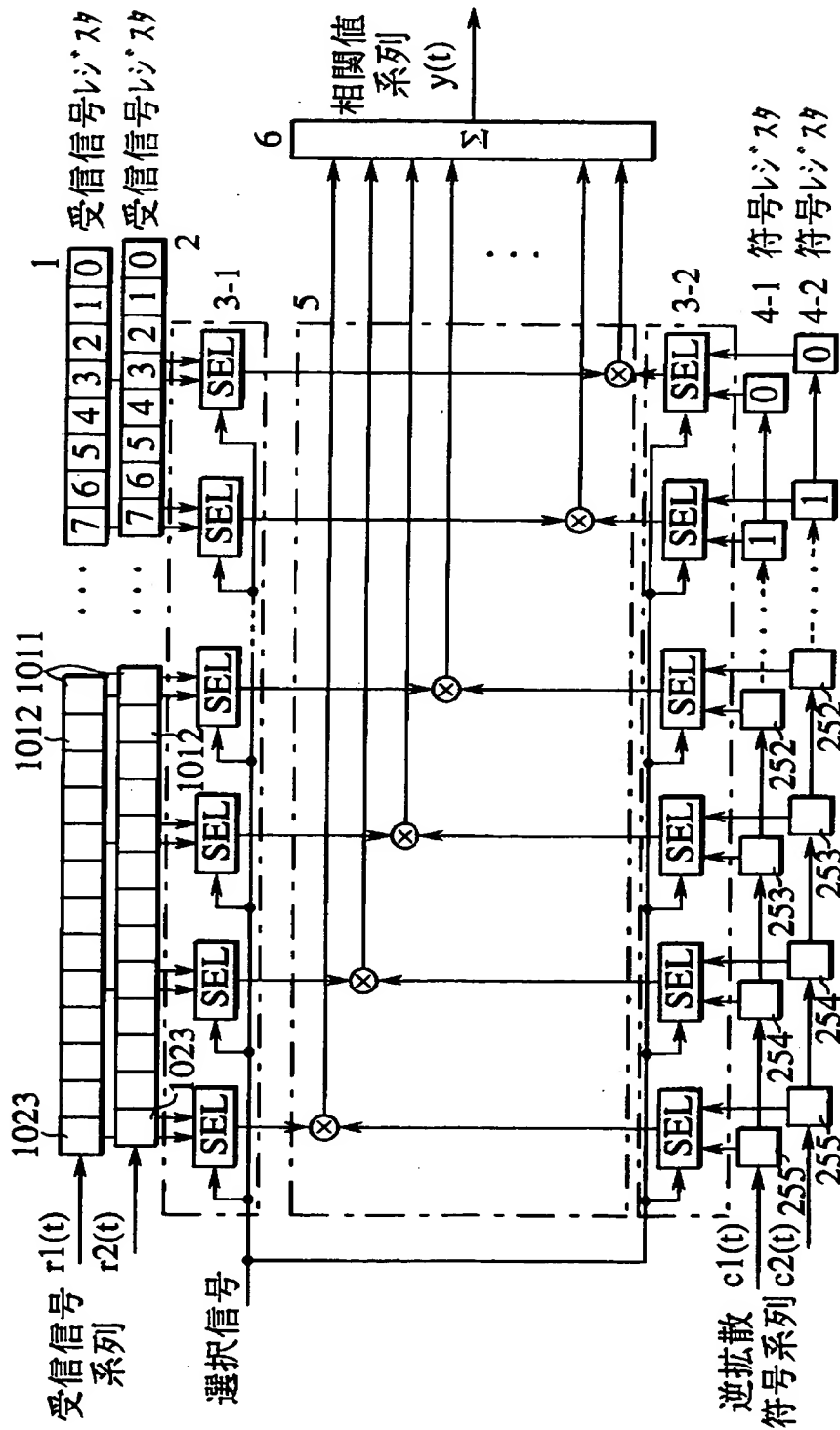
【図 3】

本発明の第1の実施の形態の動作説明図



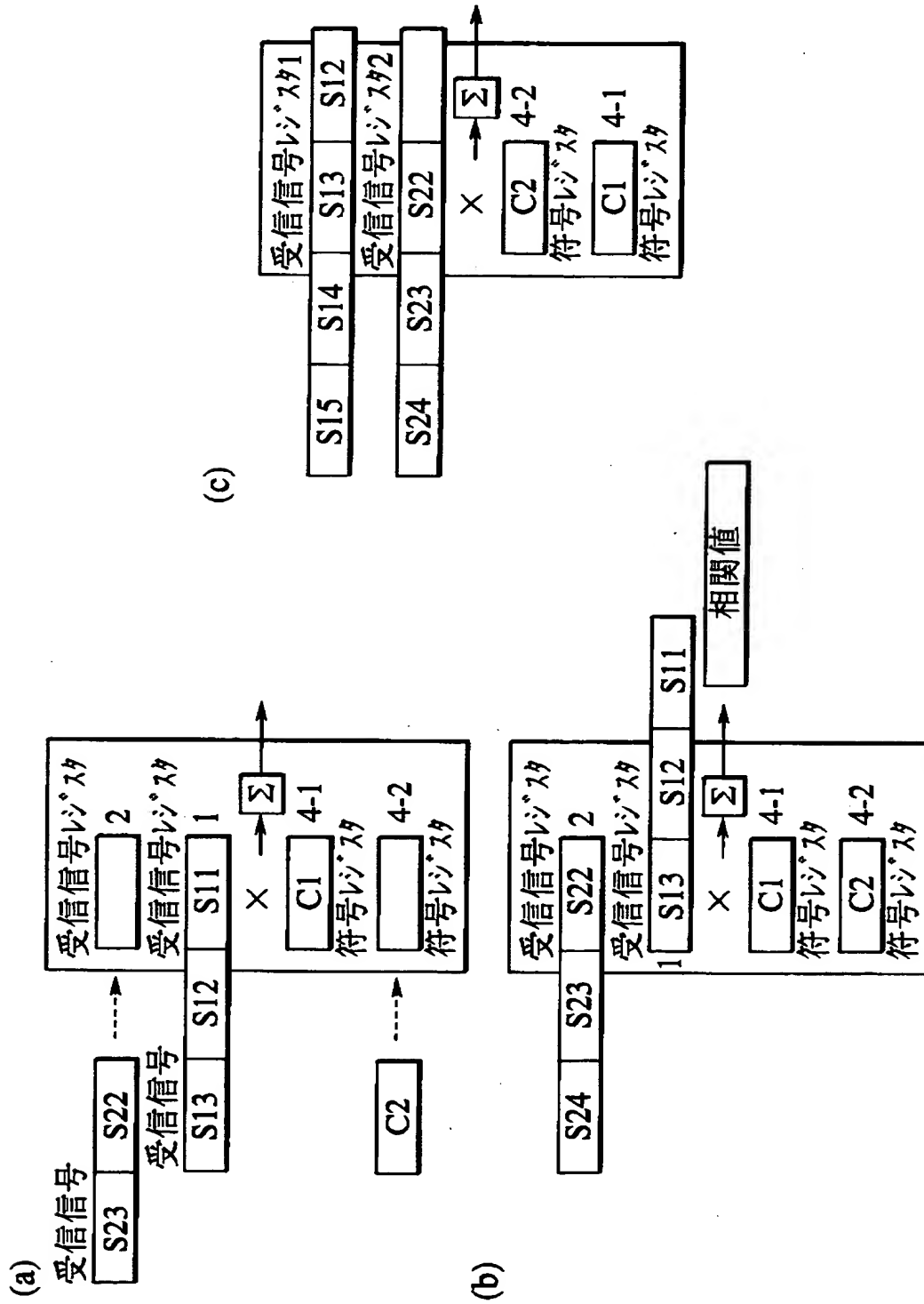
【図 4】

本発明の第2の実施の形態の説明図



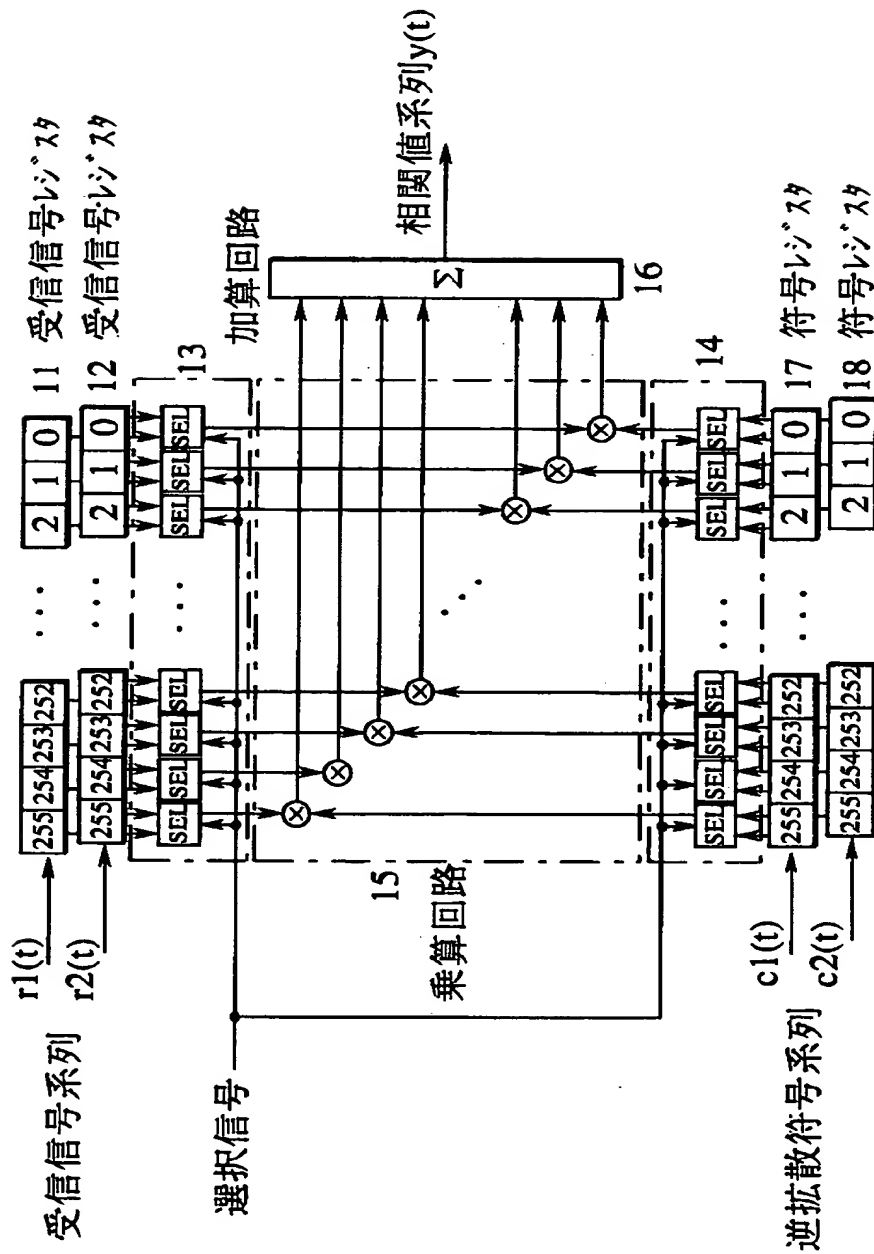
【図 5】

本発明の第2の実施の形態の動作説明図



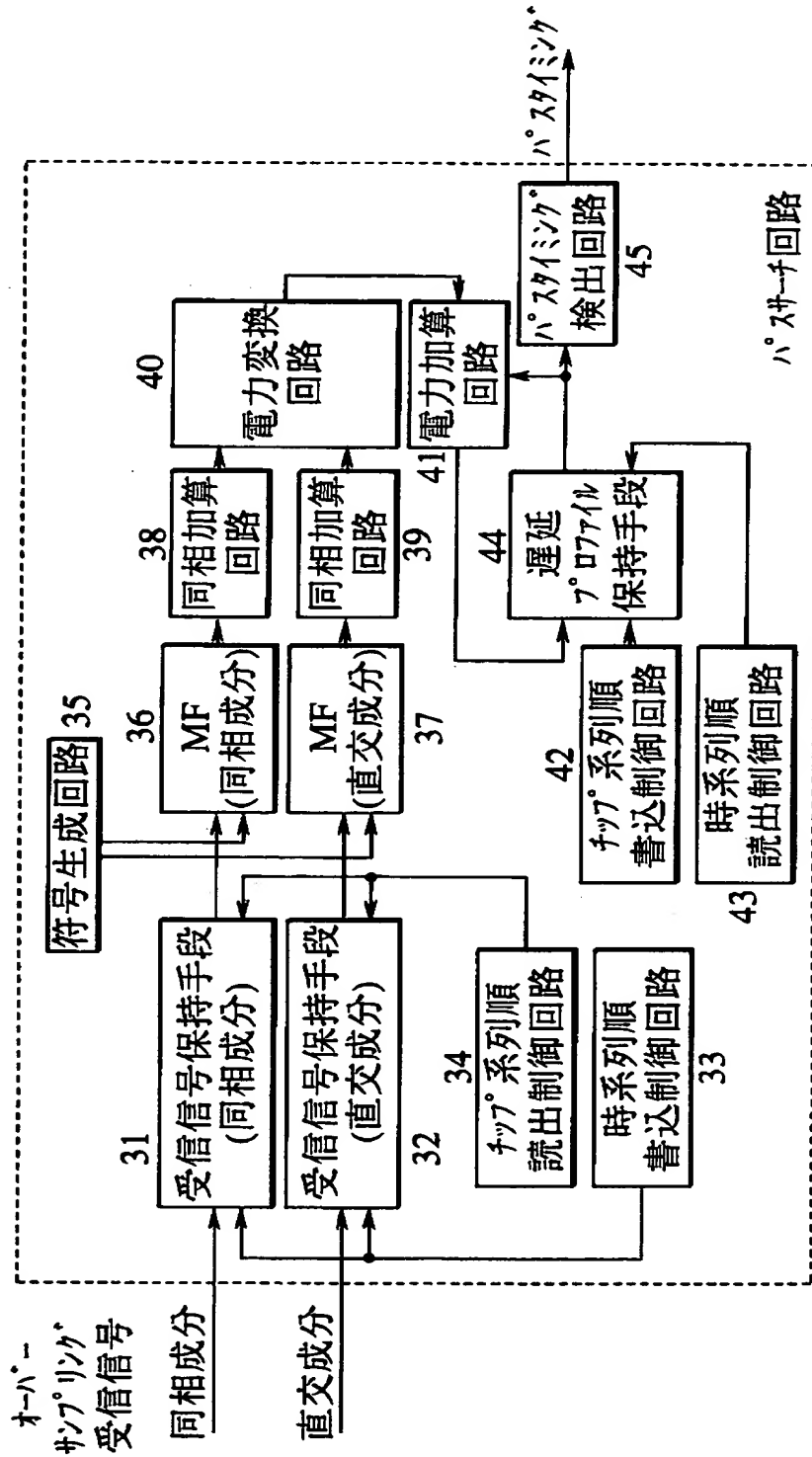
【図 6】

本発明の第3の実施の形態の説明図



【図 7】

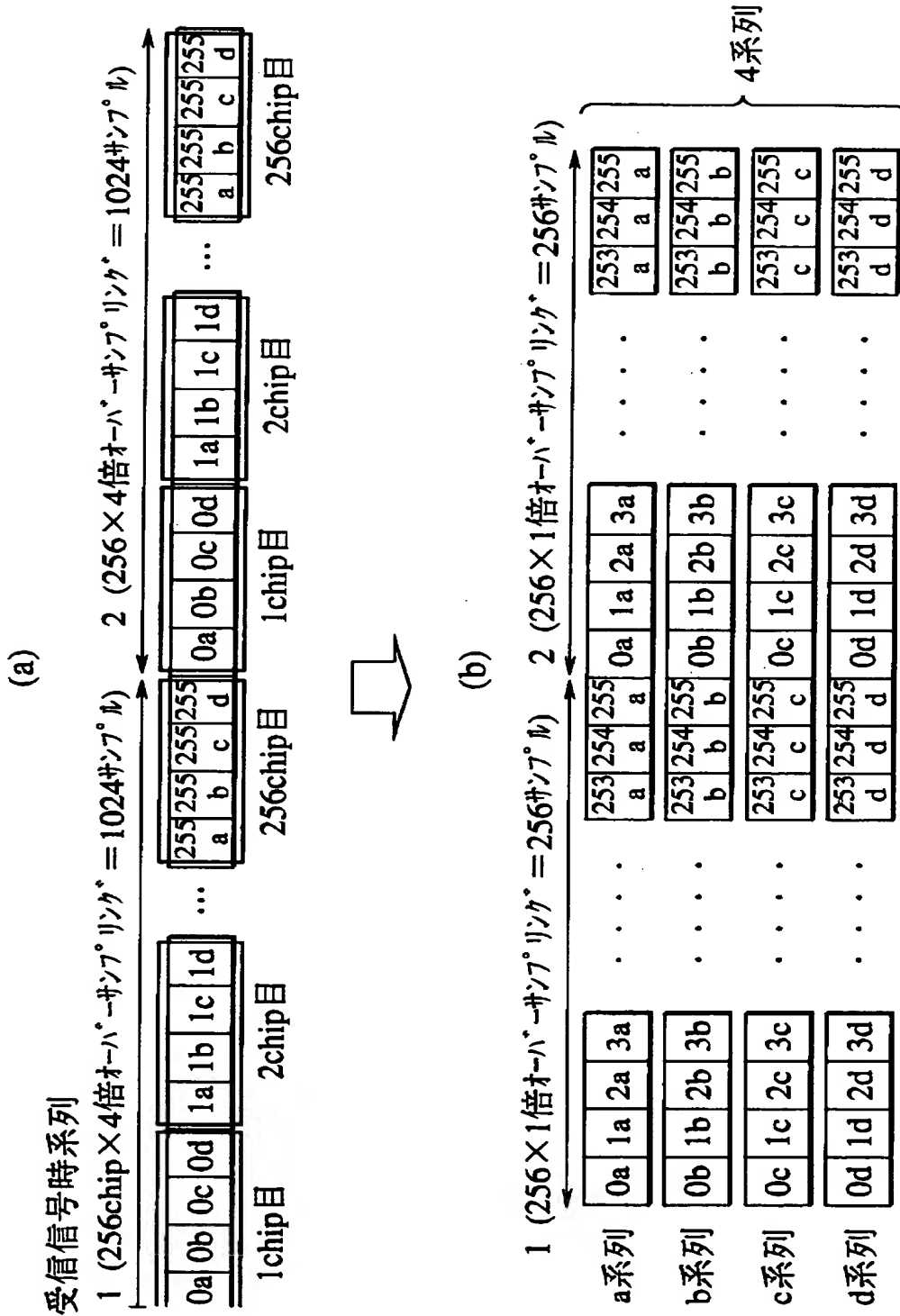
本発明の第3の実施の形態のパスサーチ回路の説明図





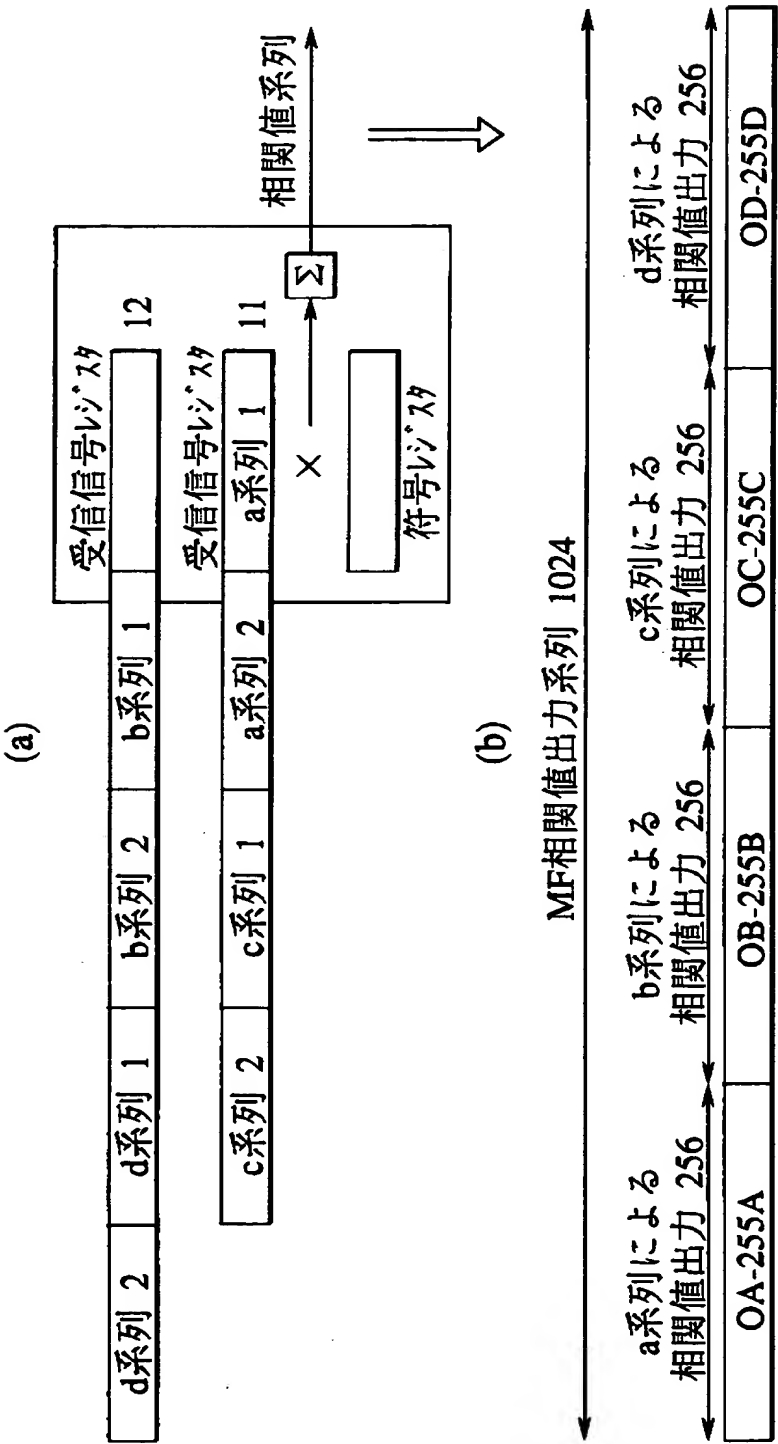
【図 8】

時系列の変換の説明図



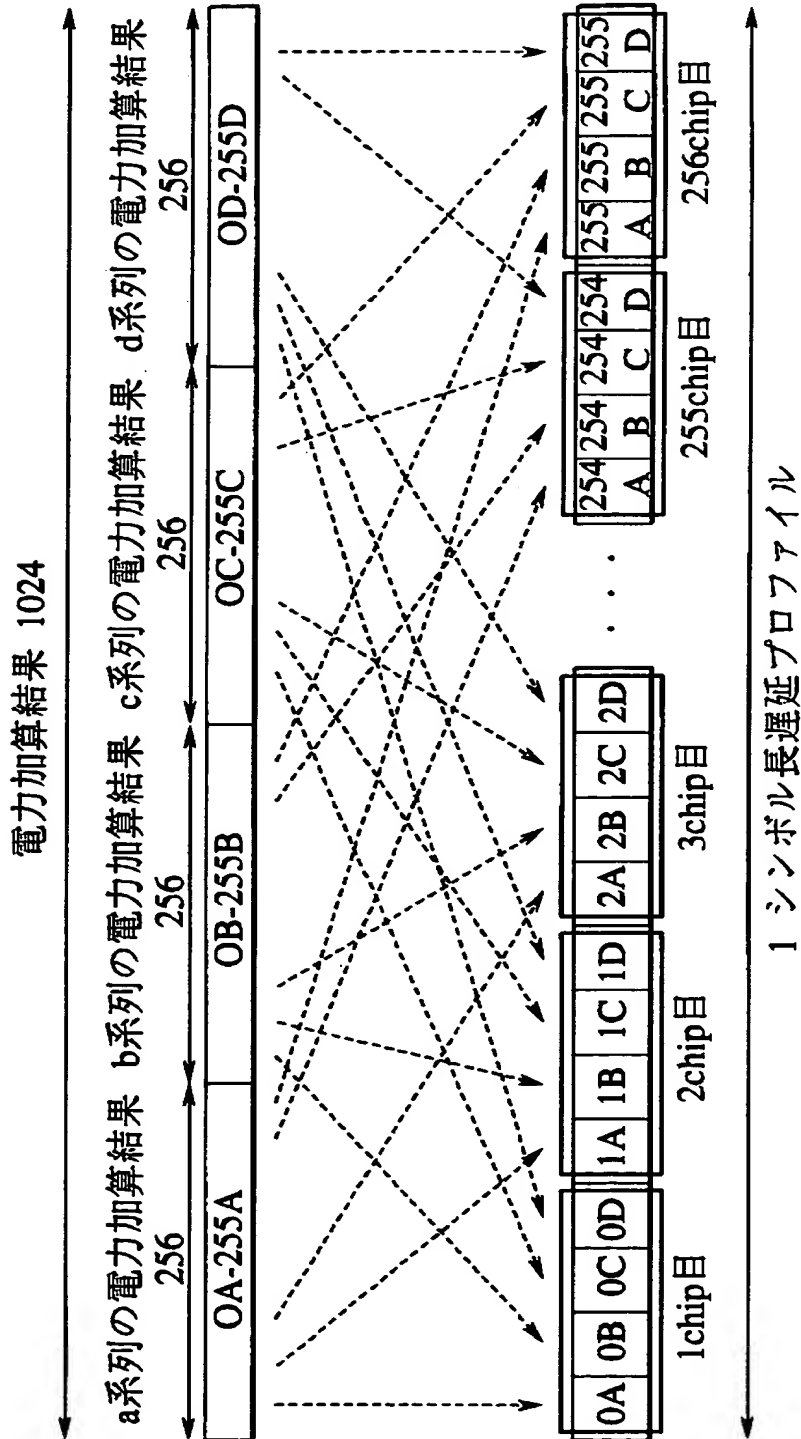
【図 9】

相関値出力の動作説明図



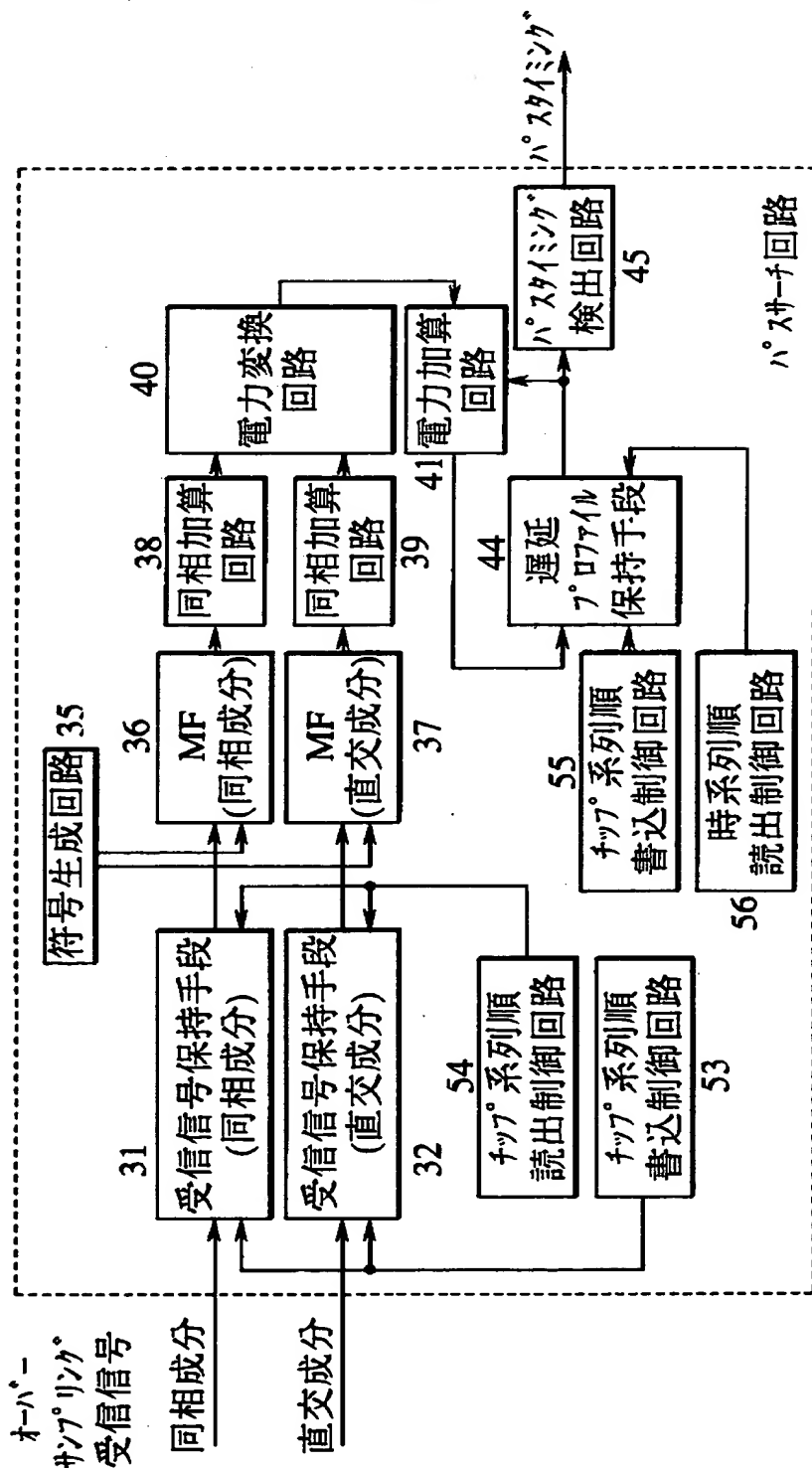
【図 1 0】

遅延プロファイルの時系列への変換の説明図



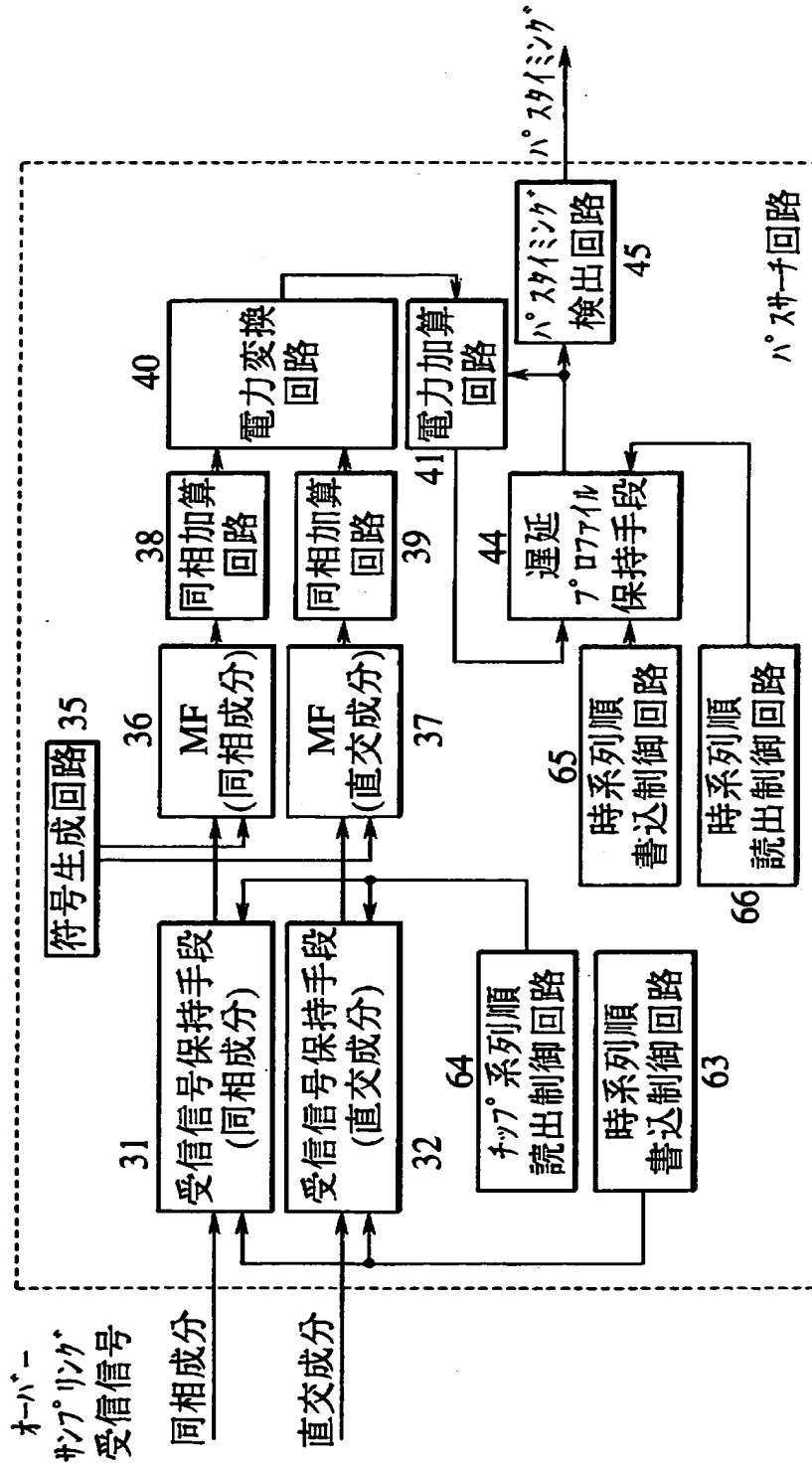
【図 1 1】

本発明の第4の実施の形態の説明図



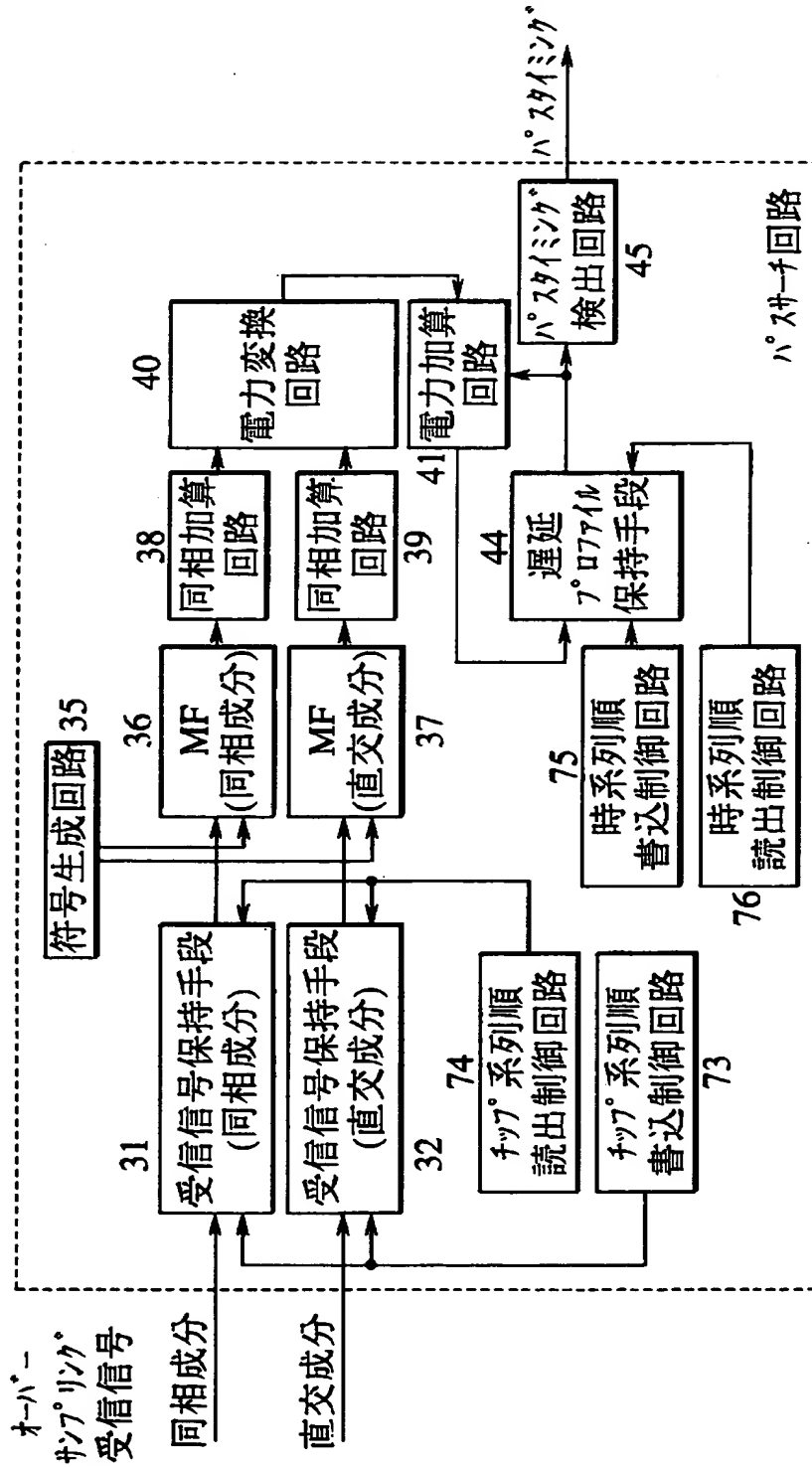
【図 1 2】

本発明の第5の実施の形態の説明図



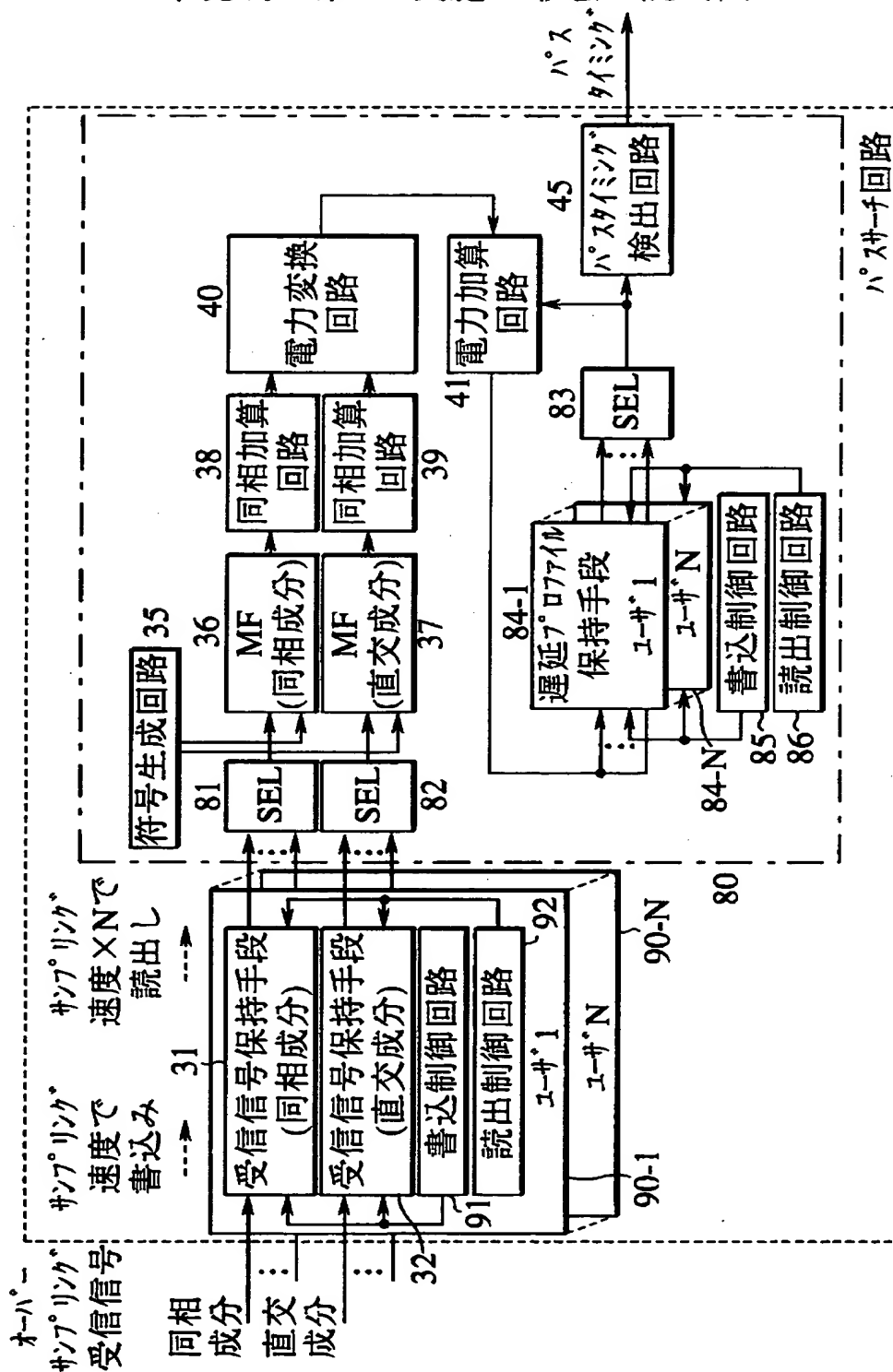
【図 1 3】

本発明の第6の実施の形態の説明図



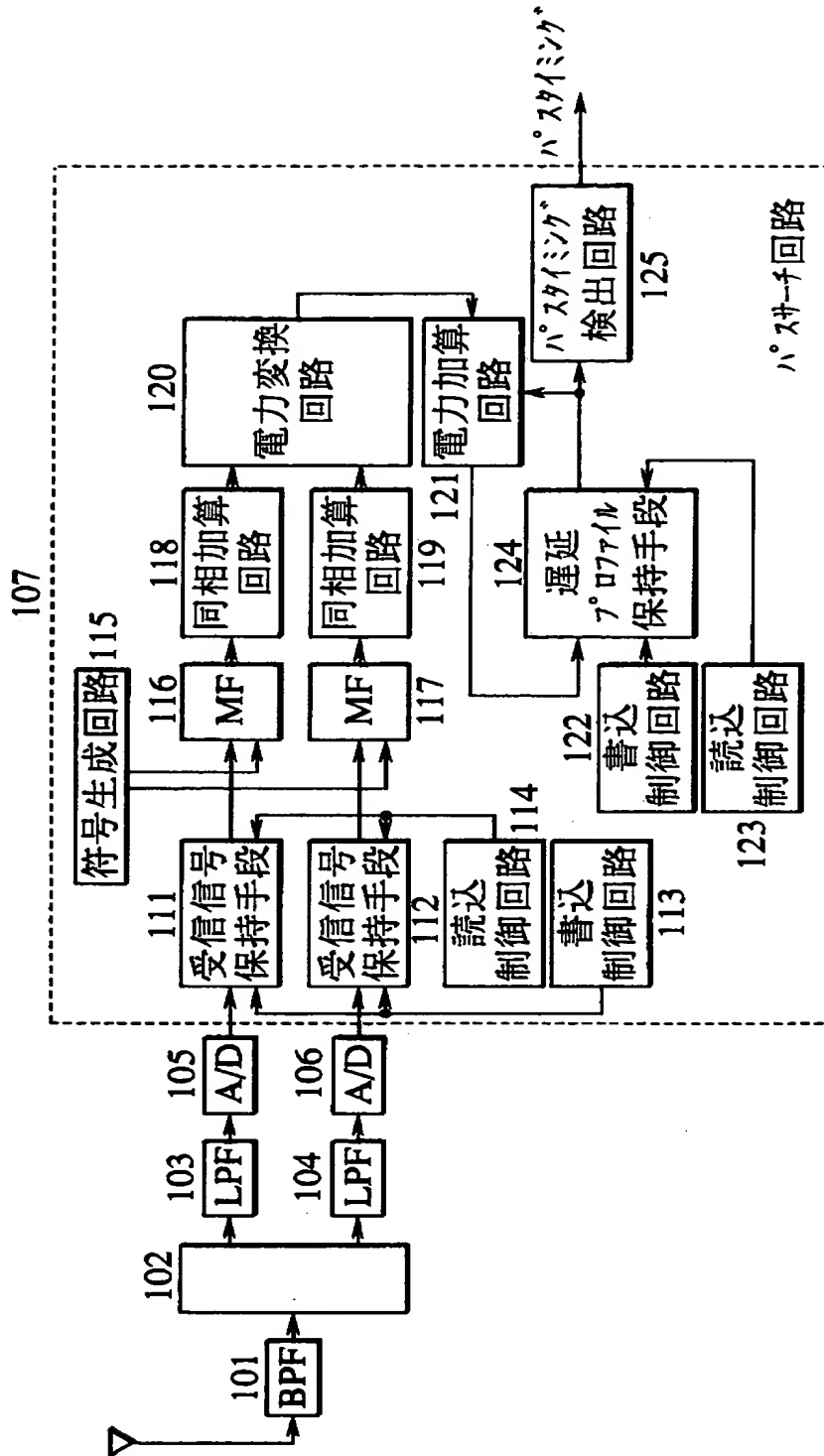
【図 1 4】

本発明の第7の実施の形態の説明図



【図 1 5】

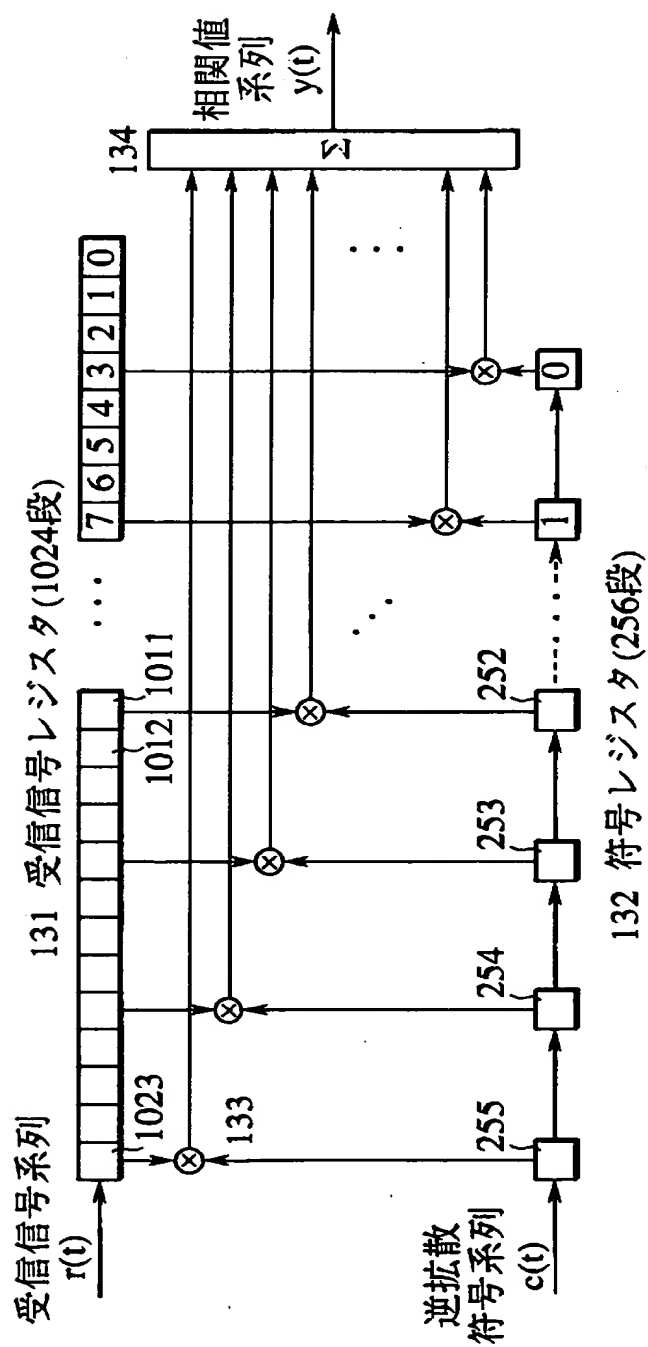
パスサーチ回路の説明図





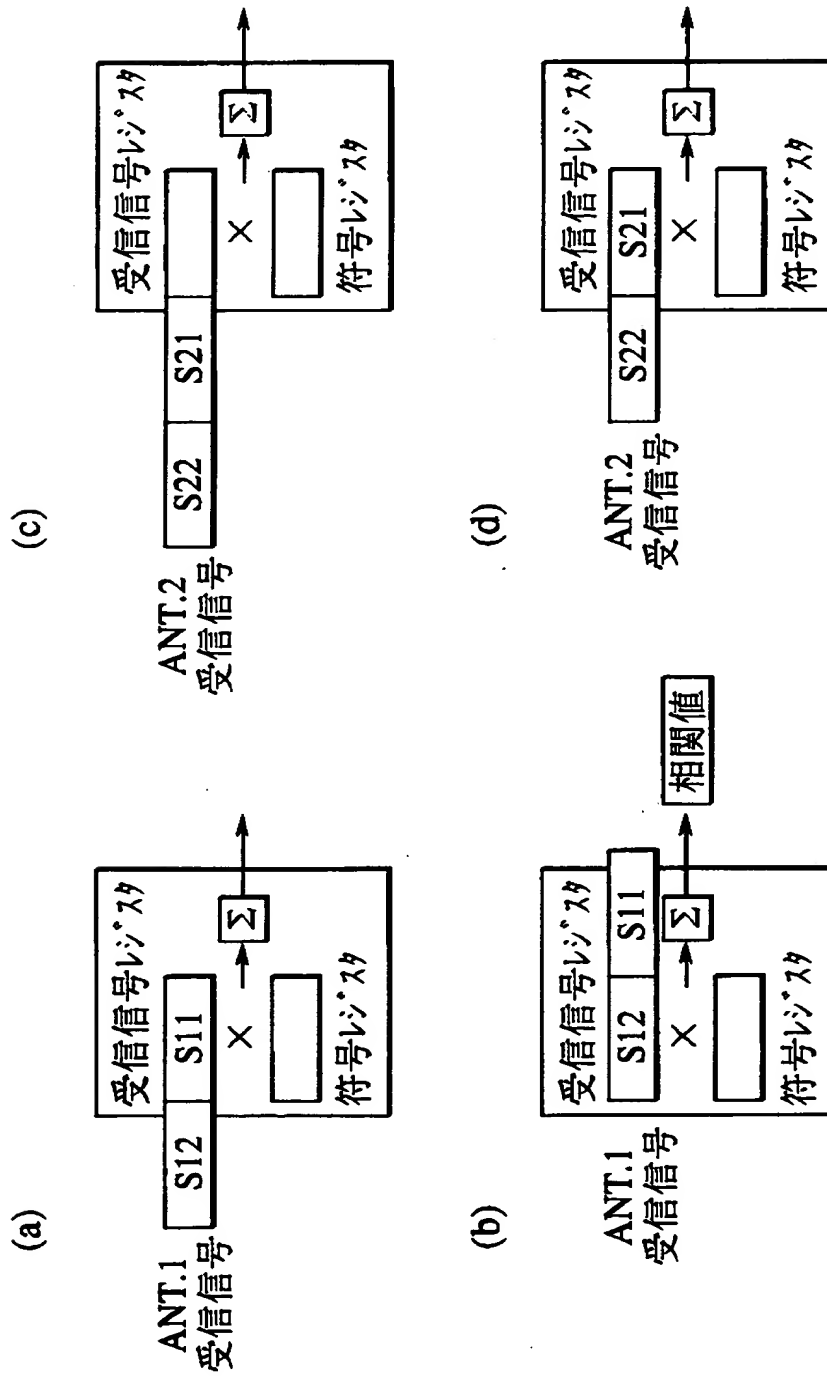
【図 1 6】

従来例のマッチフィルタの要部説明図



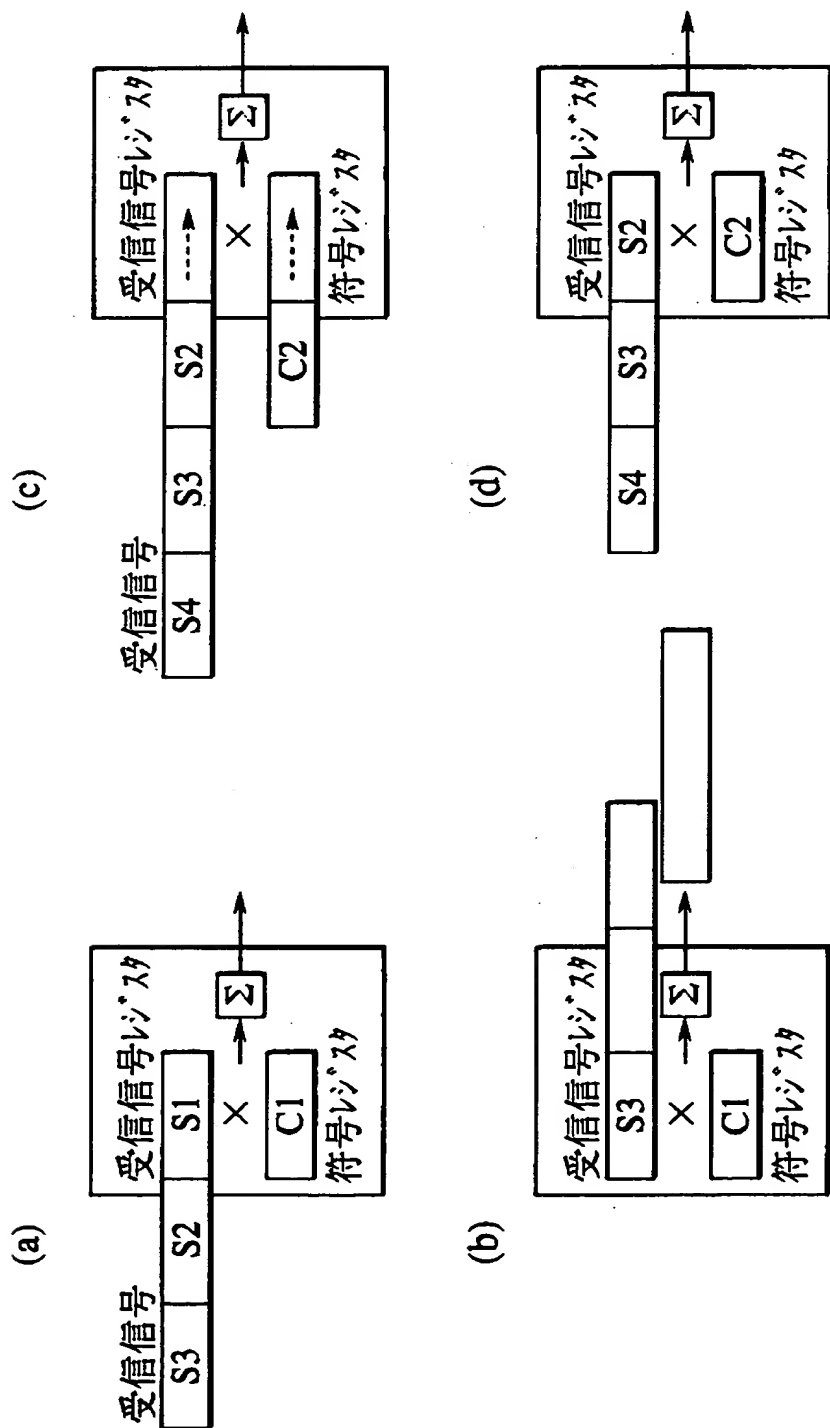
【図 1 7】

同一符号で拡散された複数受信信号の  
相関値検出の説明図



【図 1 8】

異符号系列による2シンボル長相関値検出の説明図



【書類名】 要約書

【要約】

【課題】 CDMA方式の受信装置のパスサーチ回路に関し、回路規模を拡大することなく、複数の受信信号系列に対しても連続的相関値の出力を可能とする。

【解決手段】 受信信号系列を保持する受信信号保持手段と、マッチトフィルタと、遅延プロファイル保持手段と、パスタイミング検出回路とを含むパスサーチ回路に於いて、受信信号系列  $r_1(t)$ ,  $r_2(t)$  を入力する受信信号レジスタ 1, 2 と、逆拡散符号系列  $c(t)$  を入力する符号レジスタ 4 と、乗算回路 5 と、乗算結果を加算して相関値を出力する加算回路 6 と、遅延プロファイルの中の最大値のタイミングをパスタイミングとして出力するパスタイミング出力部 7 と、受信信号レジスタ 1, 2 を交互に選択して乗算回路 5 に接続するセレクタ 3 とを備えており、又入力信号系列と逆拡散符号系列との並べ替えによる乗算構成として回路規模の縮小が可能である。

【選択図】 図 1

認定 - 付加情報

特許出願の番号	平成 11 年 特許願 第 353923 号
受付番号	59901216020
書類名	特許願
担当官	坪 政光 8844
作成日	平成 11 年 12 月 17 日

<認定情報・付加情報>

【特許出願人】

【識別番号】	000005223
【住所又は居所】	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
【氏名又は名称】	富士通株式会社

【代理人】

申請人	
【識別番号】	100105337
【住所又は居所】	東京都港区虎ノ門二丁目 9 番 11 号 信和ビル
【氏名又は名称】	眞鍋 潔

【代理人】

【識別番号】	100072833
【住所又は居所】	東京都港区虎ノ門二丁目 9 番 11 号 信和ビル
【氏名又は名称】	柏谷 昭司

【代理人】

【識別番号】	100075890
【住所又は居所】	東京都港区虎ノ門二丁目 9 番 11 号 信和ビル
【氏名又は名称】	渡邊 弘一

【代理人】

【識別番号】	100110238
【住所又は居所】	東京都港区虎ノ門二丁目 9 番 11 号 信和ビル
【氏名又は名称】	伊藤 壽郎

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日	1 9 9 6 年 3 月 2 6 日
[変更理由]	住所変更
住 所	神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号
氏 名	富士通株式会社